

日本国特許庁
JAPAN PATENT OFFICE

J1046 U.S. PTO
09/933166
08/21/01


別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2000年12月25日

出願番号
Application Number:

特願2000-393510

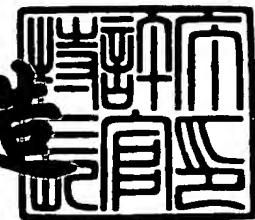
出願人
Applicant(s):

富士通日立プラズマディスプレイ株式会社

2001年5月31日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3049707

【書類名】 特許願

【整理番号】 0001193

【提出日】 平成12年12月25日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G09G 3/20
H01L 27/092
H03K 17/687

【発明の名称】 容量性負荷駆動回路およびそれを用いたプラズマディスプレイ装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市高津区坂戸3丁目2番1号 富士通日立
プラズマディスプレイ株式会社内

【氏名】 佐野 勇司

【発明者】

【住所又は居所】 神奈川県川崎市高津区坂戸3丁目2番1号 富士通日立
プラズマディスプレイ株式会社内

【氏名】 河田 外与志

【発明者】

【住所又は居所】 神奈川県川崎市高津区坂戸3丁目2番1号 富士通日立
プラズマディスプレイ株式会社内

【氏名】 井上 広一

【発明者】

【住所又は居所】 神奈川県川崎市高津区坂戸3丁目2番1号 富士通日立
プラズマディスプレイ株式会社内

【氏名】 高木 彰浩

【発明者】

【住所又は居所】 神奈川県川崎市高津区坂戸3丁目2番1号 富士通日立
プラズマディスプレイ株式会社内

【氏名】 岸 智勝

【特許出願人】

【識別番号】 599132708

【氏名又は名称】 富士通日立プラズマディスプレイ株式会社

【代理人】

【識別番号】 100077517

【弁理士】

【氏名又は名称】 石田 敬

【電話番号】 03-5470-1900

【選任した代理人】

【識別番号】 100092624

【弁理士】

【氏名又は名称】 鶴田 準一

【選任した代理人】

【識別番号】 100100871

【弁理士】

【氏名又は名称】 土屋 繁

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 橋口 外治

【先の出願に基づく優先権主張】

【出願番号】 特願2000-301015

【出願日】 平成12年 9月29日

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0003411

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 容量性負荷駆動回路およびそれを用いたプラズマディスプレイ装置

【特許請求の範囲】

【請求項 1】 駆動電源を駆動素子を介して出力端子に接続した構成を含む容量性負荷駆動回路であって、

前記駆動電源と前記駆動素子との間に電力分散手段を挿入したことを特徴とする容量性負荷駆動回路。

【請求項 2】 基準電位点を駆動素子を介して出力端子に接続した構成を含む容量性負荷駆動回路であって、

前記基準電位点と前記駆動素子との間に電力分散手段を挿入したことを特徴とする容量性負荷駆動回路。

【請求項 3】 請求項 1 または 2 に記載の容量性負荷駆動回路において、

前記電力分散手段は、前記駆動素子の導通時インピーダンスの抵抗成分に対して $1/10$ 以上のインピーダンスを持つ抵抗素子であることを特徴とする容量性負荷駆動回路。

【請求項 4】 複数の容量性負荷に対応する複数の駆動素子を集積化した構成を含む容量性負荷駆動回路であって、

前記各駆動素子をそれぞれ電力分散手段を介して駆動用電源または基準電位点に接続したことを特徴とする容量性負荷駆動回路。

【請求項 5】 請求項 4 に記載の容量性負荷駆動回路において、

前記容量性負荷駆動回路は、前記容量性負荷を駆動する複数の駆動集積回路を備えた駆動モジュールとして構成されていることを特徴とする容量性負荷駆動回路。

【請求項 6】 駆動電源を駆動素子を介して出力端子に接続した構成を含む容量性負荷駆動回路であって、

前記駆動電源は、複数の異なる電圧レベルを選択して出力するようになっていることを特徴とする容量性負荷駆動回路。

【請求項 7】 出力端子に接続された容量性負荷を駆動素子により駆動する

容量性負荷駆動回路であって、

前記出力端子に対して抵抗性インピーダンスを直列に挿入したことを特徴とする容量性負荷駆動回路。

【請求項8】 請求項7に記載の容量性負荷駆動回路において、

前記駆動素子を介して前記出力端子に駆動電源を接続し、該駆動電源と該駆動素子との間に付記1~6のいずれか1項に記載の容量性負荷駆動回路における電力分散手段を挿入したことを特徴とする容量性負荷駆動回路。

【請求項9】 請求項1~8のいずれか1項に記載の容量性負荷駆動回路において、

前記容量性負荷駆動回路を電極駆動回路として用いたことを特徴とするプラズマディスプレイ装置。

【請求項10】 出力端子に接続されたインダクタンス性負荷を駆動素子により駆動するインダクタンス性負荷駆動回路であって、

前記出力端子に対して抵抗性インピーダンスを直列に挿入したことを特徴とするインダクタンス性負荷駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、容量性負荷駆動回路およびそれを用いたプラズマディスプレイ装置に関し、特に、プラズマディスプレイパネルやエレクトロルミネッセンスパネル等の容量性負荷の駆動に伴う発熱を適切に処理し得る回路技術に関する。

近年、薄型の平面表示装置として、プラズマディスプレイパネル(PDP)やエレクトロルミネッセンス(EL)パネル等が研究開発されている。特に、PDPは、大画面および高速の表示が可能であり、また、表示品質も改善されて来ており、CRTに代わる表示装置として注目されている。しかしながら、このようなPDPにおいては、容量性負荷である各表示セル(および、配線容量等)を高電圧のパルス信号により駆動して表示を行うため、その消費電力の大きさが問題になっている。そこで、容量性負荷(表示セル等)を低消費電力で駆動する回路が提案されているが、その駆動回路自体からの放熱等の問題がある。そこで、放

熱等の問題を解決し得る容量性負荷駆動回路の提供が要望されている。

【0002】

【従来の技術】

図1はプラズマディスプレイ装置の全体構成を概略的に示すブロック図である。図1において、参照符号101は表示パネル、102はアノード（アドレス）駆動回路、103はカソード（Y）駆動回路、104はサブアノード駆動回路、105は制御回路、106はX駆動回路、そして、107は放電セルを示している。

【0003】

以下の説明では、主としてプラズマディスプレイ装置におけるアドレス駆動回路（アドレスドライブIC）について説明するが、本発明の容量性負荷駆動回路は、プラズマディスプレイ装置のアドレス駆動回路だけでなくX駆動回路やY駆動回路のような容量性負荷（放電セル）を駆動するための回路として使用することができ、さらに、プラズマディスプレイ装置以外の様々な容量性負荷を駆動するための回路、例えば、MOSトランジスタよりなる論理ゲート（駆動されるトランジスタのゲートは容量とみなされ、また、配線等に寄生する容量等も加算されて容量性負荷と考えられる）を駆動するための回路等に幅広く適用することができる。

【0004】

図1は、直流型（DC型）プラズマディスプレイ装置と交流型（AC型）プラズマディスプレイ装置との両方を示すように描いており、DC型プラズマディスプレイ装置は、アノード駆動回路102、カソード駆動回路103、および、サブアノード駆動回路104を備え、また、AC型プラズマディスプレイ装置は、アドレス駆動回路102、Y電極駆動回路103、および、X電極駆動回路106を備える。なお、表示パネル101および制御回路105は、AC型およびDC型の両方に設けられている。

【0005】

すなわち、表示パネル（プラズマディスプレイパネル：PDP）101はDC型とAC型に大別され、DC型PDPは、マトリクス放電電極が各放電セル10

7内で露出しており、セル内の放電空間の電界制御が容易であることを特徴とする。また、DC型PDPにおいては、電極極性をアノードA1～AdとカソードK1～KLに特定しているため、放電発光状態の最適化も容易であり、さらに、隣接するアノード電極間で共用されるサブアノード電極SA1～SA(d/2)等を用いて予備放電を起こす技術を併用することで、上記のアノード・カソード間で発生させる表示用の主放電を低電圧且つ高速化することもできる。駆動部は、前述したように、アノード駆動回路102、カソード駆動回路103およびサブアノード駆動回路104の3種の駆動回路と、これらを制御する制御回路105とから構成される。

【0006】

一方、AC型PDPは、マトリクス放電電極が誘電体に覆われて保護され、放電による電極劣化が抑えられて長寿命であることを特徴とする。また、水平ライン方向のX電極およびY電極を設けた前面板と垂直カラム方向のアドレス電極のある背面板を垂直に張合わせるだけの簡単な3電極面放電AC型PDP)が実用化されており、高精細化も容易になっている。駆動部は、前述したように、ビデオデータに応じて発光セルをカラム方向に選択するアドレス駆動回路102、各ラインを選択スキャンするY駆動回路103および主発光用のサステインパルスを全ラインに同時印加するX駆動回路106の3種の駆動回路と、これらを制御する制御回路105とから構成される。

【0007】

ここで、各電極の駆動端子は、パネル端部のダミー電極を除き全て回路グランドから直列的には絶縁されており、駆動回路の負荷としては容量性インピーダンスが支配的になる。

従来、容量性負荷のパルス駆動回路の低消費電力化技術としては、共振現象による負荷容量とインダクタンスとの間のエネルギーの受け渡しを応用した電力回收回路が知られている。具体的に、アドレス電極駆動回路のような個々の負荷電極を表示映像に応じて相互に独立した電圧で駆動するための負荷容量が大きく変化する駆動回路に適した電力回収技術として、特開平5-249916号公報に記載の低電力駆動回路が挙げられる。

【0008】

図2は従来のプラズマディスプレイ装置の駆動回路の一例を示すブロック図であり、上記の特開平5-249916号公報に開示された低電力駆動回路を示すものである。図2において、参照符号110は電力回收回路、111は電力回收回路の出力端子、120はアドレス駆動回路（アドレスドライブIC）、121はアドレスドライブICの電源端子、122はドライブIC120内の出力回路、そして、123はアドレスドライブICの出力端子を示している。なお、参照符号CLは、放電セルおよび配線容量等を含む負荷容量を示している。

【0009】

図2に示す従来の容量性負荷駆動回路は、共振用インダクタンスを備えた電力回收回路110を用いてアドレスドライブIC120の電源端子121を駆動することで消費電力を抑えている。電力回收回路110は、プラズマディスプレイパネルのアドレス電極にアドレス放電を生じさせるタイミングにおいては通常の一定アドレス駆動電圧を出力し、そして、アドレスドライブIC内出力回路122のスイッチング状態が切り換わる前に電源端子121の電圧をグランドレベルまで落とす。その際、電力回收回路110内の共振用インダクタンスと高レベルに駆動されている任意の数（例えば、最大：n個）のアドレス電極の合成負荷容量（例えば、最大： $n \times CL$ ）との間に共振が生じて、アドレスドライブIC内出力回路122の出力素子における消費電力が大きく抑制されるようになっている。

【0010】

アドレスドライブICの電源電圧を一定にした従来の容量性負荷駆動回路は、放電セルをスイッチングさせる前後の負荷容量CLにおける蓄積エネルギーの変化分の全てが充放電電流経路中の抵抗性インピーダンス部分において消費され、電力回收回路110を用いた場合には、出力電圧の共振中心になるアドレス駆動電圧の中間電位を基準として負荷容量に蓄えられた位置エネルギー量が、回收回路内の共振インダクタンスを介して維持される。そして、電源電圧がグランドにあるときに出力回路122のスイッチング状態を切り換え、その後、再びアドレスドライブICの電源電圧を共振を経て通常の一定駆動電圧まで立ち上げ、これ

により電力消費を抑えるようになっている。

【0011】

【発明が解決しようとする課題】

上述した図2に示す従来の容量性負荷駆動回路は、共振現象を利用して電力の回収を図るものであるが、近年のプラズマディスプレイパネルにおける高精細化や大画面化に伴って消費電力の抑制効果が大幅に損なわれることになって来ている。すなわち、パネルを高精細化するために駆動回路の出力周波数を上げた場合、パネルの制御性能を維持するために上記の共振時間の削減が必要になる。その際、電力回収回路110に設けた共振用インダクタンスは、その値を小さくしなければならず、共振のQの低下に伴って電力抑制効果が減少することになる。また、パネルの大画面化に伴ってアドレス電極の寄生容量も増加することになり、共振時間の増加を抑えるためには、やはり共振用インダクタンスの値を小さくする必要があり、その結果、電力抑制効果が減少してしまう。

【0012】

駆動回路の消費電力が十分に抑制できない場合には、ディスプレイ各部の放熱コストや部品コストが増大し、さらには、ディスプレイ装置自体の放熱限界により発光輝度が抑制されたり、フラットパネルディスプレイの持ち味である薄型軽量化を十分に發揮させることができない事にもなる。

さらに、駆動回路の出力周波数の上昇に伴って、プラズマディスプレイパネルを駆動する高電圧パルスによる消費電力も大きくなり、駆動回路（ドライブIC）における発熱が大きな問題になって来ている。

【0013】

本発明の目的は、上述した従来の容量性負荷駆動回路が有する課題に鑑み、容量性負荷を駆動する回路における発熱（電力消費）を分散することのできる容量性負荷駆動回路およびそれを用いたプラズマディスプレイ装置を提供することにある。

【0014】

【課題を解決するための手段】

本発明によれば、駆動電源または基準電位点を駆動素子を介して出力端子に接

続した構成を含む容量性負荷駆動回路において、駆動電源または基準電位点と駆動素子との間に電力分散手段を挿入し、この電力分散手段により電力消費を分散するようになっている。

【0015】

さらに、本発明によれば、複数の容量性負荷に対応する複数の駆動素子を集積化した構成を含む容量性負荷駆動回路において、各駆動素子をそれぞれ電力分散手段を介して駆動用電源または基準電位点に接続し、各電力分散手段により電力消費を分散するようになっている。

図3は本発明に係る容量性負荷駆動回路の原理構成を説明するためのブロック図である。図3において、参照符号1は駆動電源、2は電力分散手段、3は容量性負荷駆動回路（アドレスドライブIC）、4は基準電位点（接地点）、5は容量性負荷（負荷容量）、6および7は駆動素子、8および9はアドレスドライブICの電源端子および接地端子（基準電位端子）、そして、10はアドレスドライブICの端子を示している。

【0016】

図3に示されるように、負荷容量5を駆動する際に流れる駆動電流は、駆動電源1から電力分散手段2および駆動素子6を介して負荷容量5に流れる。その際、消費される電力は、電力分散手段2および駆動素子6の抵抗性インピーダンスの比率に応じて分散される。この電力削減効果は、図2を参照して説明した従来の共振現象による電力回収方式を用いた場合とは異なり、負荷容量5の値や駆動速度（駆動周波数）が増加しても損なわれることはない。

【0017】

このように、本発明によれば、アドレスドライブIC（容量性負荷駆動回路）3で消費される電力を削減することができる。すなわち、全体としての消費電力は同じであるが、従来ではアドレスドライブIC3において消費される電力の一部を電力分散手段2で消費されることにより、アドレスドライブIC3の放熱構造を簡略化することができ、回路コストを低減することができる。

【0018】

ここで、フラットパネルディスプレイ装置、特に、駆動電圧が高い上に大画面

化および高精細化が進んで来ているプラズマディスプレイ装置においては、大きな負荷容量と高い駆動速度の表示パネル駆動回路を多数使用しなければならないため、本発明に係る容量性負荷駆動回路を適用することにより、放熱コストを大幅に削減し、高圧LSIを極めて小さい空間に実装することが可能になる。

【0019】

なお、本発明に係る容量性負荷駆動回路の適用は、多数の容量性負荷（放電セル等）を高電圧パルスで駆動するプラズマディスプレイ装置に対して大きな効果を発揮させることができるが、このプラズマディスプレイ装置に限定されるものではなく、様々な容量性負荷を駆動する回路に対して幅広く適用することができる。

【0020】

【発明の実施の形態】

以下、本発明に係る容量性負荷駆動回路およびプラズマディスプレイ装置の実施例を、添付図面を参照して詳述する。

図4は本発明に係る容量性負荷駆動回路の第1実施例を示すブロック図である。図4において、参考符号1は駆動電源、21は電力分散手段、3はアドレスドライブIC、4は基準電位点（接地点）、5は負荷容量、6および7は駆動素子、8および9はアドレスドライブICの電源端子および基準電位端子（接地端子）、そして、10はアドレスドライブICの出力端子を示している。

【0021】

図4に示されるように、本第1実施例では、電力分散手段21が駆動電源1とアドレスドライブIC3の高電位電源端子8との間に設けられており、この電力分散手段は、駆動素子6が有する導通時の抵抗性インピーダンス（導通時インピーダンスの抵抗成分）の1/10程度よりも高い抵抗性インピーダンス（抵抗素子）21として構成されている。本第1実施例により、負荷駆動時の駆動素子6における消費電力の約1/10以上を抵抗素子21に分散して駆動回路3の電力消費を抑えることができる。

【0022】

ここで、抵抗素子（電力分散手段）21のインピーダンスを駆動素子6が有す

る導通時の抵抗性インピーダンスの1/10程度よりも高い値とするのは、それよりも低い値では、抵抗素子21に分散される電力が小さ過ぎて実質的な電力分散の効果が得られないと考えられるからである。なお、抵抗素子21のインピーダンスの上限に関しては、あまり値を大きくし過ぎると、電力分散の効果は大きくなるものの駆動波形が鈍るため、駆動回路が適用される個々のシステム（ディスプレイ装置等）に応じて適切な範囲が決められることになる。従って、抵抗素子21には可能な限り大きな抵抗値を用い、その消費電力が駆動素子における消費電力よりも大きく出来るように、安価に信頼性が確保できる高電力抵抗器を用いる事が好ましい。

【0023】

図5は本発明に係る容量性負荷駆動回路の第2実施例を示すブロック図である

図5に示されるように、本第2実施例は、上述した第1実施例における電力散手段を定電流源22として構成したものである。本第2実施例の駆動回路は、同一の駆動条件においては、駆動素子6に流れる電流実効値を最小にすることができるため、駆動回路3の消費電力を原理的に最も低い値とすることが可能になる

【0024】

図6は図5に示す容量性負荷駆動回路における定電流源の一例を示す回路図である。

図6に示されるように、定電流源22は、例えば、nチャネル型MOSトランジスタ（nMOSトランジスタ）221のゲート・ソース間電圧をツェナーダイオード222で一定電圧にバイアスするようになっている。トランジスタ221の素子バラツキによる電流精度劣化を補償すべく、トランジスタ221のソースには図示したように抵抗225を直列接続しても良い。また、トランジスタ221のゲート・ドレイ、間には抵抗素子223を接続してツェナーダイオード222をバイアスしている。本実施例では、この定電流源22（トランジスタ221）で電力が分散（消費）されて発熱することになるが、例えば、この定電流源22はIC化されて放熱板に取り付けられ、或いは、ディスクリートのトランジス

タ221が放熱板等に取り付けられて使用される。なお、定電流源22は、ゲートおよびソースを接続した1つのMOSトランジスタにより構成することもできる。

【0025】

ここで、例えば、図5における1つの駆動電源1を用いて、複数の定電流源22を介して複数の駆動回路3（駆動素子6）に電力を供給する場合には、各駆動回路3の間における干渉を避けるために各定電流源22に対してダイオード224を直列に挿入するように構成してもよい。また、後述するように、駆動電源1の電圧を切り換える場合には、ダイオード224を直列挿入した定電流源回路22を相互に反対方向に電流が流れるように並列接続して電流分散手段を構成することもできる。

【0026】

図7は本発明に係る容量性負荷駆動回路の第3実施例を示すブロック図であり、図8は図7に示す第3実施例における駆動電源の動作を説明するための図である。本第3実施例は、駆動電源1の構成を特徴とするものであり、他の構成（アドレスドライブIC3および電力分散手段2）は前述した図3の駆動回路と同様である。

【0027】

図7に示されるように、駆動電源1は、電圧源10および11、並びに、スイッチ12～14を備えて構成され、各スイッチ12～14のいずれかを選択（オン）することで、電力分散手段2を介してアドレスドライブIC3の電源端子8に印加する電圧を切り換えるようになっている。

駆動電源1は、スイッチ12がオンした時に高電位の電源電圧V2を出力し、スイッチ13がオンした時に中間電圧V1を出力し、スイッチ14がオンした時に接地電位V0を出力するようになっている。そして、図8に示されるように、駆動電源1は、駆動素子6のオン／オフ状態を維持しつつ、その出力電圧VDを、容量性負荷（CL）5を駆動する駆動電圧VCの電圧振幅の間で複数の電圧（V0, V1, V2）に切り換えながら段階的に上昇および低下する。これにより、駆動電流の振幅を削減してその実効値を低減し、駆動電源1を含めた駆動回路

系全体の消費電力を削減することが可能になる。なお、駆動電源1において、スイッチにより切り換える電圧は、高電位電源電圧V2、低電位電源電圧V0および中間電位電源電圧V1に限定されるものではなく、例えば、高電位電源電圧V2と低電位電源電圧V0を均等にM分割し、それに対応するM+1個のスイッチにより出力電圧VDを制御するようにしてもよい。この場合には、駆動回路系全体の消費電力を1/Mにまで削減することができる。また、駆動素子6として出力端子間にダイオードの寄生したMOSFETのような双方向性素子を用いることにより、負荷容量5の充電と放電に伴なう全ての電力消費を電力分散手段2に分散できるようになる。この場合、駆動素子7における電力消費は無視できるようになる。

【0028】

図9は本発明に係る容量性負荷駆動回路の第4実施例を示すブロック図である。

本第4実施例では、上述した図7の駆動電源回路1のスイッチ12；13；14として、ゲート電圧が駆動電源制御回路15により制御されたnMOSトランジスタ121；131，132；141を使用し、図5に示す第2実施例のように定電流源による電力分散手段の機能も兼用させるようになっている。なお、本第4実施例では、トランジスタ131および132のドレインに直列にダイオード130および1301が設けられているが、これらのダイオードはトランジスタ131および132のソースに直列挿入してもよい。また、図9では、駆動電源回路1のスイッチとしてnMOSトランジスタを使用しているが、他にpMOSトランジスタやバイポーラトランジスタ等の能動素子を適用することもできるのはいうまでもない。

【0029】

このように、本第4実施例は、駆動電源回路1のスイッチ（電圧切り換え手段）としてnMOSトランジスタ（能動素子）を適用し、その能動素子の制御端子（ゲート）を定電圧や定電流制御することによって、その出力特性を定電流化するようになっている。これにより、駆動回路3を含めた駆動系全体の消費電力を十分に削減できると共に、使用素子数をも削減することが可能になる。

【0030】

図10は本発明に係る容量性負荷駆動回路の第5実施例を示すブロック図である。

図10に示されるように、本第5実施例では、電力分散手段23がアドレスドライブIC(駆動回路)3の低電位電源端子9と基準電位点(接地点)4との間に設けられている。

【0031】

このように、負荷容量5の電圧を基準電位点(例えば、接地点)4の電位に駆動する際にも、負荷容量5と基準電位点4との間の駆動素子7に電力分散手段23を直列に挿入することにより、駆動素子7における消費電力を削減して電力分散手段23に分散することができる。すなわち、アドレスドライブIC(容量性負荷駆動回路)3において消費される電力の一部を電力分散手段23で消費させることにより、駆動回路3の放熱構造を簡略化して回路コストを低減することができる。

【0032】

図11は本発明に係る容量性負荷駆動回路の第6実施例を示すブロック図である。

本第6実施例は、前述した第1実施例と同様に、第5実施例における電力分散手段23を抵抗素子(抵抗性インピーダンス)24として構成したものである。ここで、抵抗素子24のインピーダンスは、駆動素子7が有する導通時の抵抗性インピーダンスの1/10程度よりも高い値とされ、これにより、負荷駆動時の駆動素子7における消費電力の約1/10以上を抵抗素子24に分散して駆動回路3の電力消費を抑えるようになっている。

【0033】

図12は本発明に係る容量性負荷駆動回路の第7実施例を示すブロック図である。

本第7実施例は、前述した第2実施例と同様に、第5実施例における電力分散手段23を定電流源25として構成したものである。このように、電力分散手段を定電流源25で構成することにより、同一の駆動条件においては駆動素子7に

流れる電流実効値を最小にすることができるため、駆動素子を介した他のいかなる駆動方法に対しても原理的に最も低い消費電力とすることが可能になる。

【0034】

図13は本発明に係る容量性負荷駆動回路の第8実施例を示すブロック図である。

本第8実施例は、第1の電力分散手段26を駆動電源1と駆動回路3の高電位電源端子8との間に設けると共に、第2の電力分散手段27を基準電位点と駆動回路3の低電位電源端子9との間に設け、さらに、駆動素子6と駆動端子10との間および駆動端子10と駆動素子7との間にダイオード60および70を挿入するようになっている。

【0035】

駆動回路3を用いて複数の負荷容量CL(5)を駆動する場合(集積回路化した場合)においては、駆動素子6および7の少なくとも一方に直列ダイオード60或いは70を挿入することで駆動回路3における消費電力を十分に削減することができる。すなわち、直列ダイオード60或いは70で不必要的出力電圧変化を排除することによって、共通の電源配線や接地点などに繋がる基準電位配線を介した各出力間の干渉による負荷容量への余分な駆動電流の流入を抑え、駆動回路3における消費電力を低減することができる。また、プラズマディスプレイ装置における駆動デバイスにも不必要的駆動電圧を与えずに済むので、表示画質が向上すると共に、駆動電圧マージンを抑えて駆動電圧を低下させることも可能になる。

【0036】

なお、駆動回路3を用いて複数の負荷容量を駆動する場合において、電力分散手段26, 27として抵抗性インピーダンス(抵抗素子)を使用するときには、駆動素子6, 7の導通時抵抗性インピーダンスの値を出力端子数N(例えば、アドレスラインA1～Ad: d=N)で割った値の1/10程度よりも高い抵抗性インピーダンスを持たせることにより、負荷駆動時の駆動素子6, 7における消費電力の約1/10以上を抵抗素子に分散して、駆動回路3の電力消費を抑えることができる。

【0037】

ここで、駆動回路3をプラズマディスプレイ装置におけるアドレス駆動回路（図1の102参照）として適用する場合、例えば、1つの駆動回路（アドレスドライブIC）3で384ラインを駆動するように構成（N=384）するが、このとき、駆動素子6（7）のオン抵抗を200Ωとすると、電力分散手段26（27）のインピーダンスは、 $200 \div 384 \approx 0.5 \Omega$ の1/10程度よりも大きい値、すなわち、約0.05Ω以上の値に設定することになる。これにより、アドレスドライブIC3で本来消費する電力の約1/10以上を電力分散手段26（27）に分散して、アドレスドライブIC3における発熱を低減するようになっている。

【0038】

図14は本発明に係る容量性負荷駆動回路の第9実施例としてのトーテンポール型アドレスドライブICの回路図である。

図14に示されるように、本第9実施例は、例えば、プラズマディスプレイ装置におけるd個のアドレス電極（A1～Ad）を駆動するためのアドレスドライブIC3であり、プルアップ側の駆動素子6-1～6-dおよびプルダウン側の駆動素子7-1～7-dの両方をnMOSトランジスタによるトーテンポール型として構成したものである。なお、プルアップ側およびプルダウン側の駆動素子は、それぞれドライブ段60および70により駆動されるようになっている。

【0039】

このように、駆動回路3をトーテンポール型として構成することにより、pMOSトランジスタよりも電流能力の高いnMOSトランジスタのみを用いることによるチップ面積の削減によって、駆動回路（IC）を安価に構成することができる。

図15は本発明に係る容量性負荷駆動回路の第10実施例としてのCMOS型アドレスドライブICの回路図である。

【0040】

図15に示されるように、本第10実施例は、例えば、プラズマディスプレイ装置におけるd個のアドレスライン（A1～Ad）を駆動するためのアドレスド

ライブIC3であり、プルアップ側の駆動素子60-1～60-dをpMOSトランジスタとし、プルダウン側の駆動素子70-1～70-dをnMOSトランジスタとしたCMOS型のものである。なお、プルアップ側およびプルダウン側の駆動素子は、それぞれドライブ段600および700により駆動されるようになっている。

【0041】

このように、駆動回路3をCMOS型として構成することにより、プルアップ側の駆動素子の駆動電力も削減でき、駆動電圧の立ち上りおよび立ち下りを対称性よく高速化することができる。

図16は本発明に係る容量性負荷駆動回路の第11実施例を示すブロック回路図である。

【0042】

本第11実施例は、前述した第8実施例と同様に、1つの駆動回路（ドライブIC）で複数の負荷容量5を駆動するもので、一般的な駆動集積回路を用いて安価に駆動回路を構成したものであり、プラズマディスプレイパネルのような多端子の容量性負荷を駆動する専用の駆動モジュール36（駆動回路3）は、3つの集積回路（駆動集積回路）37, 38, 39を備えて構成されている。ここで、各集積回路37, 38, 39は同様の構成とされており、前述した図14のようなトーテンポール型とされているが、CMOS型であっても構わない。なお、図16から明らかなように、各集積回路37, 38, 39は、駆動電源1の出力電圧をIC内出力前段回路の各電源端子84, 85, 86で直接受け取ると共に、電力分散手段26を介して高圧出力素子の各電源端子81, 82, 83(8)で受け取るようになっている。同様に、各集積回路37, 38, 39は、基準電位点4の電圧を各電源端子94, 95, 96で直接受け取ると共に、電力分散手段27を介して各電源端子91, 92, 93(9)で受け取るようになっている。しかし、各電源端子84, 85, 86は、後述する図17の説明にあるように、高圧出力素子の電源端子81, 82, 83と共に用化して削除してもよい。

【0043】

このように、本第11実施例は、電力分散手段26を介して駆動モジュール3

6の電源端子8を駆動電源1に接続することにより、モジュール内の駆動素子6-1～6-d等の消費電力をモジュール外の電力分散手段26に分散し、また、電力分散手段27を介して駆動モジュール36の電源端子9を基準電位点4に接続することにより、モジュール内の駆動素子7-1～7-d等の消費電力をモジュール外の電力分散手段27に分散するようになっている。これにより、駆動モジュール36からの発熱を抑えて信頼性を向上させると共に、放熱コストを抑え安価な駆動モジュール（容量性負荷駆動回路）を提供することが可能になる。

【0044】

ここで、集積回路36, 37, 38の電源端子84, 85, 86が駆動電源1の出力に接続され、また、電源端子94, 95, 96が基準電位点4に接続されているのは、それら各集積回路36, 37, 38における高圧出力素子6-1～6-dを高速に制御し、また、各集積回路36, 37, 38におけるロジック回路等の低圧回路用グランド端子を直接基準電位点（接地端子）4に接続することで、多数のロジック信号入力端子に供給される信号電圧をグランド基準で安定に印加するためである。

【0045】

図17は本発明に係る容量性負荷駆動回路の第12実施例としての駆動モジュールを構成する集積回路の一例を示すブロック回路図である。

図17に示されるように、本第12実施例は、図16に示す駆動モジュール36(3)における集積回路37(38, 39)の例である。

上述したように、集積回路37は、nMOSトランジスタよりなるトーテンポール型として構成することもできるが、本第12実施例では、CMOS型出力回路を構成する出力素子620および720のゲート膜厚を厚くするなどして、入力耐電圧を駆動電源電圧値にまで高めるようにしている。これらの高圧（高耐圧）の出力素子620および720は、その制御入力（ゲート）がトランジスタ621～624およびトランジスタ721～724で構成される前段のフリップフロップ回路により制御され、駆動電源電圧か基準電圧（接地電圧）のいずれかのフルス winging レベルで駆動される。これにより、電力分散手段26および27による消費電力の分散効果を高めるために高電位電源端子81や高圧素子用基

準電位端子（グランド端子）91の電位を大きく変化させた場合でも、安定に高圧出力素子620および720を制御することが可能になる。

【0046】

なお、図17中のトランジスタ620、621および622、並びに、721および722は、フルス wing レベルで駆動されるため、入力耐電圧の高い素子が使用される。また、高圧出力素子620および720の前段におけるドライブ回路以前の回路用の電源端子84を設けずに、図17中の破線で示すように前段回路の電源ラインを高圧出力素子と共に用化して、集積回路37の端子数を削減するようにしてもよい。出力素子620と720の両方をOFFさせる駆動モードが必要でない場合には、前段のトランジスタ721～724から成るフリップフロップ回路を省略することができる。その際には、出力素子720の制御入力端子（ゲート）をトランジスタ723のドレイン端子から外して、図中の一点鎖線に示すように、トランジスタ623のドレイン端子に接続すればよい。

【0047】

図18は本発明に係る容量性負荷駆動回路の第13実施例としての駆動モジュールを構成する集積回路の他の例を示すブロック回路図である。

本第13実施例の集積回路37は、高圧出力素子71-1～71-dとして、ロジック電源75で十分に制御できる入力耐電圧の低い安価な素子（トランジスタ）を用いるようにしたものである。すなわち、集積回路37は、ロジック電源75を受け取るロジック電源端子97および接地端子94を備え、バッファ72-1～72-dのロジック電圧出力と、電力分散手段27で生じる電圧降下によりnMOSトランジスタ71-1～71-dに自己バイアスを掛けるようになっている。なお、トランジスタ61-1～61-dは、nMOSトランジスタに限らず、pMOSトランジスタやバイポーラトランジスタを用いてもよいのはいうまでもない。

【0048】

図19は本発明に係る容量性負荷駆動回路の第14実施例としての駆動モジュールを構成する集積回路のさらに他の例を示すブロック回路図である。

本第14実施例の集積回路37は、図16に示す第11実施例における集積回

路37に対して、少なくとも駆動電源1と電力分散手段26との間にスイッチ素子451を設けるか或いは、基準電位点4と電力分散手段27との間にスイッチ素子481を設け、より一層、電力分散効率を高めて駆動素子の消費電力を低減するようにしたのである。すなわち、駆動素子6-1～6-dおよび7-1～7-dが完全に導通状態に切り換わってからスイッチ素子451および481を導通させることで、駆動素子の導通開始時におけるインピーダンスの下がっていない状態における電力分散効果の劣化を避けるようになっている。さらに、本第14実施例では、電力分散手段26および27だけでなく、スイッチ素子451および481においても効果的に電力を分散することができる。

【0049】

以上のように、本発明の各実施例によれば、負荷の容量成分に起因する電力消費を電力分散手段に分散して駆動回路自身における消費電力を低減した容量性負荷駆動回路、特に、プラズマディスプレイ装置用の駆動回路を提供することができる。これにより、例えば、負荷容量の大きい40型クラス以上のプラズマディスプレイ装置や、駆動パルスレートの高いSVGA(800×600ドット)、XGA(1024×768ドット)、さらには、SXGA(1280×1024)といった高解像度プラズマディスプレイ装置、或いは、TV・HDTVなどといった高輝度高階調のプラズマディスプレイ装置における放熱の問題を緩和し、小型低消費電力化を推進することができる。また、動画表示中の偽輪郭対策に伴う駆動パルスレートの増加による消費電力の増加も抑えることにもなる。

【0050】

図20は三電極面放電交流駆動型プラズマディスプレイパネルを概略的に示すブロック図であり、図21は図20に示すプラズマディスプレイパネルの電極構造を説明するための断面図である。図20および図21において、参照符号207は放電セル(表示セル)、210は背面ガラス基板、211、221は誘電体層、212は蛍光体、213は隔壁、214はアドレス電極(A1～Ad)、220は前面ガラス基板、そして、222はX電極(X1～XL)またはY電極(Y1～YL)を示している。なお、参照符号Caはアドレス電極における隣接電極間の容量を示し、また、Cgはアドレス電極における対向電極(X電極および

Y電極)間の容量を示している。

【0051】

プラズマディスプレイパネル201は、背面ガラス基板210および前面ガラス基板220の2枚のガラス基板により構成され、前面ガラス基板220には、維持電極のBUS電極と透明電極とで構成されるX電極(X1, X2, ~XL)およびY電極(走査電極: Y1, Y2, ~YL)が配設されている。

背面ガラス基板210には、維持電極(X電極およびY電極)222と直交するようにアドレス電極(A1, A2, ~Ad)214が配置されており、これらの電極により放電発光を発生する表示セル207が、維持電極の同じ番号の電極で挟まれ(Y1-X1, Y2-X2, …)、且つ、アドレス電極と交差する領域にそれぞれ形成される。

【0052】

図22は図20に示すプラズマディスプレイパネルを用いたプラズマディスプレイ装置の全体構成を示すブロック図であり、表示パネルに対する駆動回路の主要部を示している。

図22に示されるように、三電極面放電交流駆動型プラズマディスプレイ装置は、表示パネル201と、外部より入力されるインターフェイス信号により表示パネルの駆動回路を制御するための制御信号を形成する制御回路205と、この制御回路205からの制御信号によりパネル電極を駆動するためのX共通ドライバ(X電極駆動回路)206と、走査電極駆動回路(走査ドライバ)203およびY共通ドライバ204と、アドレス電極駆動回路(アドレスドライバ)202とにより構成される。

【0053】

X共通ドライバ206は維持電圧パルスを発生し、また、Y共通ドライバ204も同じく維持電圧パルスを発生し、そして、走査ドライバ203は各走査電極(Y1~YL)を独立に駆動して走査する。また、アドレスドライバ202は、各アドレス電極(A1~Ad)に対して表示データに対応したアドレス電圧パルスを印加する。

【0054】

制御回路205は、クロックCLKおよび表示データDATAを受け取ってアドレスドライバ202にアドレス制御信号を供給する表示データ制御部251、および、垂直同期信号Vsyncおよび水平同期信号Hsyncを受け取って、走査ドライバを制御する走査ドライバ制御部253並びに共通ドライバ（X共通ドライバ206およびY共通ドライバ204）を制御する共通ドライバ制御部254を備えている。なお、表示データ制御部251は、フレームメモリ252を備えている。

【0055】

図23は図22に示すプラズマディスプレイ装置の駆動波形の一例を示す図であり、主として、全面書き込み期間（全面W）、全面消去期間（全面E）、アドレス期間（ADD）およびサスティン期間（維持放電期間：SUS）における各電極への印加電圧波形の概略を示している。

図23において、画像表示に直接係わる駆動期間は、アドレス期間ADDとサスティン期間SUSであり、アドレス期間ADDにおいて表示する画素を選択し、次のサスティン期間において選択された画素を維持発光させることで、所定の明るさでの画像表示を行うようになっている。なお、図23は、1フレームを複数のサブフレーム（サブフィールド）で構成した場合の各サブフレームにおける駆動波形を示すものである。

【0056】

まず、アドレス期間において、走査電極であるY電極（Y1～YL）に対して一斉に中間電位である-Vmyを印加した後、順次、-Vyレベルの走査電圧パルスを切り換えて印加する。このとき、それぞれのY電極への走査パルスの印加に同期させて各アドレス電極（A1～Ad）に対して+Vaレベルのアドレス電圧パルスを印加することで各走査ライン上の画素選択を行う。

【0057】

次のサスティン期間においては、全ての走査電極（Y1～YL）およびX電極（X1～XL）に対して共通の+Vsレベルの維持電圧パルスを交互に印加することで、先に選択された画素に対して維持発光を生じさせ、この連続印加により所定の輝度による表示を行う。また、このような一連の駆動波形の基本動作を組

み合わせて発光回数を制御することで、濃淡の階調表示を行うことも可能になる。

【0058】

ここで、全面書き込み期間は、パネルの全ての表示セルに対して書き込み電圧パルスを印加することで、各表示セルを活性化し表示特性を均一に保つためのものであり、ある一定の周期で挿入される。また、全面消去期間は、画像表示を行うためのアドレス動作とサスティン動作を新たに開始する前に、パネルの全ての表示セルに消去電圧パルスを印加することで、以前の表示内容を消しておくためのものである。

【0059】

図24は図22に示すプラズマディスプレイ装置に使用するICの一例を示すブロック回路図である。

例えば、表示パネルのアドレス電極（A1～Ad）の数が2560本の場合、アドレス電極に接続するドライブICは通常64ビット出力であるため、合計で40個のドライブICを使用する。一般的に、この40個のドライブICは複数のモジュールに分けて実装され、各モジュールが複数のICを搭載している。

【0060】

図24は、64ビット分の出力回路（234:OUT1～OUT64）を備えたドライブICチップの内部回路構成を示している。各出力回路234は、最終出力段のプッシュプル型FET2341および2342を挟んで高圧電源配線VHとグランド配線GNDが接続されて構成される。このドライブICは、さらに、両FETを制御するためのロジック回路233、64ビットの出力回路を選択するためのシフトレジスタ回路231、および、ラッチ回路232を備える。

【0061】

これら制御用の信号は、シフトレジスタ231のクロック信号CLOCK、データ信号DATA1～DATA4およびラッチ回路232のラッチ信号LATCHと、ゲート回路制御用のストローブ信号STBで構成されている。図24においては、最終出力段がCMOS構成（2341, 2342）になっているが、同一極性のMOSFETから成るトーテンポール構成も適用することができる。

【0062】

次に、上記のドライブICチップに対する実装方法の例を説明する。

例えば、ドライブICチップをリジットプリント基板上に搭載し、ドライブICチップの電源、信号および出力用パッド端子とプリント基板上の相対応する端子とをワイヤボンディング接続して結線する。

ICチップからの出力配線はプリント基板の端面側に引き出して出力端子が設けられ、同様の端子が設けられたフレキシブル基板と熱圧着接続して一つのモジュールを形成する。このフレキシブル基板の先端には、パネル表示電極と接続するための端子が設けられており、パネル表示電極に対し熱圧着等の手法により接続して使用する。

【0063】

上記の各電極の駆動端子は、パネル端部のダミー電極を除いて全て回路グランドから直流动的には絶縁されており、駆動回路の負荷としては容量性インピーダンスが支配的になる。容量性負荷のパルス駆動回路の低消費電力化技術としては、共振現象による負荷容量とインダクタンスとの間のエネルギーの受け渡しを応用した電力回收回路が知られている。アドレス電極駆動回路のように、個々の負荷電極を表示映像に応じて相互に独立した電圧で駆動するための負荷容量が大きく変化する駆動回路に適した電力回收回路の例としては、例えば、図2を参照して説明した特開平5-249916号公報に記載の低電力駆動回路が挙げられる。

【0064】

図25は本発明に係る容量性負荷駆動回路の第15実施例を示すブロック図である。図25において、参照符号1は駆動電源、51は抵抗性インピーダンス（分布抵抗）、3はアドレスドライブIC、4は基準電位点（接地点）、5は負荷容量、6および7は駆動素子、8および9はアドレスドライブICの電源端子および基準電位端子（接地端子）、そして、10はアドレスドライブICの出力端子を示している。なお、参照符号RLは分布抵抗51の両端間に抵抗値を示し、また、Raは分布抵抗51の実効電極抵抗値を示している。

【0065】

図25に示されるように、本第15実施例の容量性負荷駆動回路は、分布抵抗

(抵抗性インピーダンス) 51が出力端子10に設けられている。

ところで、プラズマディスプレイパネル (PDP) の駆動電極において、その負荷は寄生容量と寄生抵抗が集中的ではなく分布した構造になっており、容量値 CL の負荷容量 5 をその電圧を上げる方向に駆動する時に流れる電流は、駆動電源 1 から駆動回路 3 の駆動素子 6 を介して Ra という抵抗値を示す分布抵抗 51 に流れる。また、負荷容量 5 の電圧を立ち下げる方向に駆動する時に流れる電流は、駆動素子 7 を介して基準電位点 4 に流れ込む。すなわち、何れの場合にも駆動電流は必ず上記の分布抵抗 51 を経由し、駆動素子 6 または 7 の導通時インピーダンスを介して流れる。本第 15 実施例の容量性負荷駆動回路では、分布抵抗 51 の電極抵抗値 Ra を駆動素子 6 または 7 の少なくとも一方の導通時インピーダンスの抵抗成分に対して実効的に $1/10$ 以上の無視できない抵抗値に選ぶようになっている。ここで、分布抵抗 51 の両端間の抵抗値を RL とし、駆動回路 3 の出力端子 10 側から均等に電流が寄生容量に漏れていって電極先端において零になると仮定すると、実効電極抵抗値 Ra は両端間抵抗値 RL の $1/3$ になる。

【0066】

負荷容量 5 の電圧を立ち上げる方向に駆動する際に流れる電流は、負荷の分布する駆動電源 1 から駆動素子 6 と分布抵抗 51 を介して負荷容量 5 に流れる。その際、実効電極抵抗値 Ra と駆動素子 6 の抵抗性インピーダンスの比率に応じて電力消費が分散される。同様に負荷容量 5 の電圧を立ち下げる方向に駆動する際にも、同様に、実効電極抵抗値 Ra と駆動素子 7 の抵抗性インピーダンスの比率に応じて電力消費が分散される。ここで、容量部分 (5) に流れる駆動電流経路に対して直列に抵抗部材を挿入することが可能であれば、その抵抗部材を容量部分と駆動回路 3 の出力端子 10 の間に挿入することもでき、また、容量部分を介して駆動回路の出力端子 10 に接続することもできるのはもちろんである。

【0067】

上述した駆動回路 3 における電力削減効果は、従来の共振現象による電力回収方式を適用した場合とは異なり、負荷容量 5 や駆動速度が増加しても損なわれることはない。このように、本第 15 実施例の容量性負荷駆動回路は、駆動回路 (

ドライブIC) 3で消費される電力を削減することができ、その結果、駆動回路3の放熱構造を簡略化して回路のコストを抑えることが可能になる。

【0068】

ここで、フラットパネルディスプレイ装置、特に、大画面および高精細化が進むと共に駆動電圧が高いプラズマディスプレイ装置においては、負荷容量と駆動速度が大きい表示パネル駆動回路を多数使用しなければならず、本第15実施例を適用することにより、駆動回路およびその放熱コストを大幅に削減することができる。すなわち、プラズマディスプレイ装置においては、高圧LSIを極めて小さい空間に実装することになるため、表示パネル駆動回路およびその放熱に要するコスト率がディスプレイ装置の中でも高くなっているが、本実施例を適用して駆動回路における電力消費(発熱)を分散することで、駆動回路およびその放熱コストを大幅に削減することが可能になる。この駆動回路における電力削減の効果は、駆動回路3を複数の負荷容量を駆動する集積回路として構成した場合にも同様に得られる。

【0069】

図26は本発明に係る容量性負荷駆動回路の第16実施例を示すブロック図である。図26において、参照符号50はインダクタンス性負荷を示している。

図25と図26との比較から明らかなように、本第16実施例は、図25に示す第15実施例における容量性負荷5がインダクタンス性負荷50とされたものである。すなわち、駆動回路3の出力端子10に対して抵抗性インピーダンス51を設けるのは、容量性負荷5を駆動する駆動回路だけでなく、インダクタンス性負荷50を駆動する駆動回路に対しても適用することが可能である。ここで、インダクタンス性負荷50としては、例えば、テレビやオシロスコープに用いられるブラウン管の電子ビームを偏向する偏向コイル、および、スピーカやモータ或いはアクチュエータに使用されるコイル等がある。これらのインダクタンス性負荷を駆動する場合にも、コイルの巻線抵抗値を高くしたり、直列抵抗器を挿入するなどして実効的に駆動素子6または7の少なくとも一方の導通時インピーダンスの1/10以上の抵抗値を示す抵抗51を直列に挿入することで、電力分散によって駆動回路3の消費電力(発熱)を削減することができる。

【0070】

図27は本発明に係る容量性負荷駆動回路の第17実施例としてのCMOS型アドレスドライブICの回路図である。ここで、本第17実施例の容量性負荷駆動回路における駆動回路（アドレスドライブIC）3は、前述した図15に示す駆動回路と同様のものである。

図27に示されるように、本第17実施例は、例えば、プラズマディスプレイ装置におけるd個のアドレスライン（A1～Ad）を駆動するためのアドレスドライブIC3に本発明を適用したものであり、ドライブIC自体は、図15に示すものと同じ構成とされている。すなわち、ドライブIC3は、プルアップ側の駆動素子60-1～60-dをpMOSトランジスタとし、プルダウン側の駆動素子70-1～70-dをnMOSトランジスタとしたCMOS型のものであり、プルアップ側およびプルダウン側の駆動素子はそれぞれドライブ段600および700により駆動されるようになっている。

【0071】

各プルアップ側およびプルダウン側の駆動素子60-1, 70-1; 60-2, 70-2; …; 60-d, 70-dに接続された出力端子10, 10, …, 10には、それぞれ図25で説明したような分布抵抗51, 51, …, 51が設けられており、ドライブIC3における電力消費を低減してドライブICからの発熱を抑えるようになっている。なお、図27はCMOS型アドレスドライブICを示しているが、本発明は、例えば、前述した図14に示すような同極性のMOSトランジスタ（NMOSトランジスタ）を用いたトーテンポール型の駆動回路に適用することもできるのはもちろんである。また、図27においては、負荷容量5として隣接電極間で駆動電圧が等しい時を想定して、前述した図21における対向電極間容量Cgのみを図示したが、例えば、隣接電極間で駆動電圧が異なる時には省略した隣接電極間容量Caを対向電極間容量Cgに加えた負荷容量（CL）になることは言うまでもない。このとき、その実効的な直列抵抗Raの最大値は、隣接電極の実効抵抗を加えた2/3RLになる。

【0072】

図28は本発明に係る容量性負荷駆動回路が適用されるプラズマディスプレイ

パネルにおけるアドレス電極の断面を示す図であり、図28(a)は単一材料による電極の例を示し、また、図28(b)は複合材料による電極の例を示している。図28(a)において、参照符号210は背面ガラス基板、211は誘電体層、そして、2140は金属層を示す。また、図28(b)において、参照符号2141は密着材料層、2142は主材料層、そして、2143は露出層を示す。

【0073】

図28(a)に示すような単一材料により電極を構成した場合、分布抵抗(51)の値RLを所望の抵抗値まで増加するには、電極となる金属層2140の厚み或いは電極の幅を削減して電極の断面積を減少する。金属層2140としては、背面ガラス210や誘電体層211との密着性、製造性および露出部分の耐候性、並びに、コストや信頼性等に優れた銀やクロム等の材料が考えられる。ここで、電極の厚みを削減することは、例えば、電極をパターニングするときのエッティング処理を短時間で行うことが可能になるため製造時間を短縮することができ、さらに、電極材料およびエッティング液等の材料の節約にもなるため低コスト化の上でも有利である。

【0074】

図28(b)に示すような複合材料により電極を構成した場合、分布抵抗(51)の値RLを所望の抵抗値まで増加するには、上述した単一材料の場合と同様に、断面積を削減(例えば、電極の抵抗値に大きな影響を与える主材料層2142の厚みを削減)してもよいが、条件が揃えば主材料層2142自体を排除することもできる。ここで、主材料(層)2142としては電極抵抗の制御や製造性およびコストの面で有利な材料である銅等が使用され、また、密着材料層2141としては背面ガラス210および主材料2142との密着性やコストおよび信頼性に優れた材料であるクロム等が使用され、そして、露出層2143としては主材料2142や誘導体層との密着性、並びに、露出部分の耐候性やコストおよび信頼性に優れた材料であるクロム等が使用される。なお、銅等の主材料層2142は、例えば、スパッタ処理により形成するが、この主材料層2142の厚みの低減は、このスパッタ処理に要する時間の低減に直結し、さらに、主材料層2

142の排除はそのための製造工程を省略することにもなるため、製造時間の短縮および低コスト化を図ることができる。

【0075】

図29は本発明に係る容量性負荷駆動回路の第18実施例を示すブロック図であり、前述した図25に示す第15実施例に対して、例えば、図3に示す電力分散手段2を適用したものである。

ここで、電力分散手段2等は、例えば、図4～図19を参照して説明したような様々な構成とすることができます、その場合には、駆動回路3における電力消費の分散の効果はそのまま加算して発揮されることになる。

【0076】

(付記1) 駆動電源を駆動素子を介して出力端子に接続した構成を含む容量性負荷駆動回路であって、

前記駆動電源と前記駆動素子との間に電力分散手段を挿入したことを特徴とする容量性負荷駆動回路。

(付記2) 付記1に記載の容量性負荷駆動回路において、

前記電力分散手段は、前記駆動素子の導通時インピーダンスの抵抗成分に対して1/10以上のインピーダンスを持つ抵抗素子であることを特徴とする容量性負荷駆動回路。

【0077】

(付記3) 付記2に記載の容量性負荷駆動回路において、前記電力分散手段は、前記駆動素子の許容電力以上の電力性能を備えた高電力抵抗であることを特徴とする容量性負荷駆動回路。

(付記4) 付記1に記載の容量性負荷駆動回路において、

前記電力分散手段は、定電流源であることを特徴とする容量性負荷駆動回路。

【0078】

(付記5) 付記1に記載の容量性負荷駆動回路において、

前記駆動電源は、複数の異なる電圧レベルを選択して出力するようになっていすることを特徴とする容量性負荷駆動回路。

(付記6) 付記5に記載の容量性負荷駆動回路において、

前記電力分散手段は、前記複数の異なる電圧レベルに対してそれぞれ設けられた複数の電力分散ユニットを備えることを特徴とする容量性負荷駆動回路。

【0079】

(付記7) 付記6に記載の容量性負荷駆動回路において、

前記各電力分散ユニットは、前記異なる電圧レベルを選択するスイッチとしての機能を備えることを特徴とする容量性負荷駆動回路。

(付記8) 付記1に記載の容量性負荷駆動回路において、

前記駆動素子は、入力耐圧電圧が出力電圧よりも高い素子であることを特徴とする容量性負荷駆動回路。

【0080】

(付記9) 基準電位点を駆動素子を介して出力端子に接続した構成を含む容量性負荷駆動回路であって、

前記基準電位点と前記駆動素子との間に電力分散手段を挿入したことを特徴とする容量性負荷駆動回路。

(付記10) 付記9に記載の容量性負荷駆動回路において、

前記電力分散手段は、前記駆動素子の導通時インピーダンスの抵抗成分に対して1/10以上のインピーダンスを持つ抵抗素子であることを特徴とする容量性負荷駆動回路。

【0081】

(付記11) 付記10に記載の容量性負荷駆動回路において、前記電力分散手段は、前記駆動素子の許容電力以上の電力性能を備えた高電力抵抗であることを特徴とする容量性負荷駆動回路。

(付記12) 付記9に記載の容量性負荷駆動回路において、

前記電力分散手段は、定電流源であることを特徴とする容量性負荷駆動回路。

【0082】

(付記13) 付記9に記載の容量性負荷駆動回路において、

前記駆動電源は、複数の異なる電圧レベルを選択して出力するようになっていすることを特徴とする容量性負荷駆動回路。

(付記14) 付記13に記載の容量性負荷駆動回路において、

前記電力分散手段は、前記複数の異なる電圧レベルに対してそれぞれ設けられた複数の電力分散ユニットを備えることを特徴とする容量性負荷駆動回路。

【0083】

(付記15) 付記14に記載の容量性負荷駆動回路において、

前記各電力分散ユニットは、前記異なる電圧レベルを選択するスイッチとしての機能を備えることを特徴とする容量性負荷駆動回路。

(付記16) 付記9に記載の容量性負荷駆動回路において、

前記駆動素子は、入力耐圧電圧が出力電圧よりも高い素子であることを特徴とする容量性負荷駆動回路。

【0084】

(付記17) 複数の容量性負荷に対応する複数の駆動素子を集積化した構成を含む容量性負荷駆動回路であって、

前記各駆動素子をそれぞれ電力分散手段を介して駆動用電源または基準電位点に接続したことを特徴とする容量性負荷駆動回路。

(付記18) 付記17に記載の容量性負荷駆動回路において、

前記各容量性負荷と前記対応する駆動素子との間にダイオードを設けたことを特徴とする容量性負荷駆動回路。

【0085】

(付記19) 付記17に記載の容量性負荷駆動回路において、

前記各電力分散手段は、前記駆動素子の導通時インピーダンスを前記電力分散手段への接続駆動素子数で割った値の1/10以上のインピーダンスを持つ抵抗素子であることを特徴とする容量性負荷駆動回路。

(付記20) 付記19に記載の容量性負荷駆動回路において、前記各電力分散手段は、前記駆動素子の許容電力以上の電力性能を備えた高電力抵抗であることを特徴とする容量性負荷駆動回路。

【0086】

(付記21) 付記17に記載の容量性負荷駆動回路において、

前記各電力分散手段は、定電流源であることを特徴とする容量性負荷駆動回路

(付記22) 付記17に記載の容量性負荷駆動回路において、前記駆動電源は、複数の異なる電圧レベルを選択して出力するようになっていることを特徴とする容量性負荷駆動回路。

【0087】

(付記23) 付記22に記載の容量性負荷駆動回路において、前記電力分散手段は、前記複数の異なる電圧レベルに対してそれぞれ設けられた複数の電力分散ユニットを備えることを特徴とする容量性負荷駆動回路。

(付記24) 付記23に記載の容量性負荷駆動回路において、前記各電力分散ユニットは、前記異なる電圧レベルを選択するスイッチとしての機能を備えることを特徴とする容量性負荷駆動回路。

【0088】

(付記25) 付記17に記載の容量性負荷駆動回路において、前記駆動素子は、入力耐圧電圧が出力電圧よりも高い素子であることを特徴とする容量性負荷駆動回路。

(付記26) 付記17に記載の容量性負荷駆動回路において、前記集積化した各駆動素子の接地端子を前記電力分散手段を介して前記駆動用電源に接続したことを特徴とする容量性負荷駆動回路。

【0089】

(付記27) 付記17に記載の容量性負荷駆動回路において、前記集積化した各駆動素子の接地端子を前記電力分散手段を介して前記基準電位点に接続したことを特徴とする容量性負荷駆動回路。

(付記28) 付記17に記載の容量性負荷駆動回路において、前記各駆動素子と前記駆動用電源または基準電位点との間に前記各電力分散手段およびスイッチ素子の直列接続を設けたことを特徴とする容量性負荷駆動回路

【0090】

(付記29) 付記17に記載の容量性負荷駆動回路において、前記容量性負荷駆動回路は、前記容量性負荷を駆動する複数の駆動集積回路を備えた駆動モジュールとして構成されていることを特徴とする容量性負荷駆動回

路。

(付記30) 付記29に記載の容量性負荷駆動回路において、

前記各駆動集積回路は、入力耐電圧を駆動電源電圧値にまで高めた高圧の出力素子と、該出力素子の制御入力を駆動電源電圧および基準電圧のいずれかのフルスティングレベルで駆動するフリップフロップを備えることを特徴とする容量性負荷駆動回路。

【0091】

(付記31) 付記29に記載の容量性負荷駆動回路において、

前記各駆動集積回路は、ロジック電圧により駆動されるバッファを備え、該バッファの出力を前記各駆動素子の入力端子に接続し、前記電力分散手段を前記各駆動素子の反転入力端子に接続することにより、前記電力分散手段で生じる電圧降下により駆動素子に自己バイアスを掛けるようになっていることを特徴とする容量性負荷駆動回路。

【0092】

(付記32) 付記29に記載の容量性負荷駆動回路において、

前記電力分散手段と前記駆動用電源または基準電位点との間にスイッチ素子を設け、前記駆動素子が導通状態に切り換わってから該スイッチ素子を導通させるようにしたことを特徴とする容量性負荷駆動回路。

(付記33) 駆動電源を駆動素子を介して出力端子に接続した構成を含む容量性負荷駆動回路であって、

前記駆動電源は、複数の異なる電圧レベルを選択して出力するようになっていることを特徴とする容量性負荷駆動回路。

【0093】

(付記34) 付記33に記載の容量性負荷駆動回路において、

前記駆動電源は、前記駆動素子のオン／オフ状態を維持しつつ、駆動電圧振幅の間にある前記複数の電圧レベルを切り換えて段階的に上昇および低下させるようにしたことを特徴とする容量性負荷駆動回路。

(付記35) 出力端子に接続された容量性負荷を駆動素子により駆動する容量性負荷駆動回路であって、

前記出力端子に対して抵抗性インピーダンスを直列に挿入したことを特徴とする容量性負荷駆動回路。

【0094】

(付記36) 付記35に記載の容量性負荷駆動回路において、

前記抵抗性インピーダンスは、前記駆動素子の少なくとも1つの導通時インピーダンスの抵抗成分に対して1/10以上のインピーダンスを持つことを特徴とする容量性負荷駆動回路。

(付記37) 付記35に記載の容量性負荷駆動回路において、

前記抵抗性インピーダンスは、前記駆動素子の少なくとも1つの導通時インピーダンスの抵抗成分に対して10分の3以上の抵抗値を示す分布抵抗であることを特徴とする容量性負荷駆動回路。

【0095】

(付記38) 付記35～37のいずれか1項に記載の容量性負荷駆動回路において、

前記駆動素子を介して前記出力端子に駆動電源を接続し、該駆動電源と該駆動素子との間に付記1～34のいずれか1項に記載の容量性負荷駆動回路における電力分散手段を挿入したことを特徴とする容量性負荷駆動回路。

【0096】

(付記39) 付記1～38のいずれか1項に記載の容量性負荷駆動回路において、

前記容量性負荷駆動回路を電極駆動回路として用いたことを特徴とするプラズマディスプレイ装置。

(付記40) 付記39に記載のプラズマディスプレイ装置において、

前記容量性負荷駆動回路を、アドレス電極の駆動回路として用いたことを特徴とするプラズマディスプレイ装置。

【0097】

(付記41) 付記40に記載のプラズマディスプレイ装置において、該プラズマディスプレイ装置は、

前記アドレス電極を第1の基板に配設すると共に、XおよびY電極を第2の基

板に配設した三電極面放電交流駆動型プラズマディスプレイ装置であり、

前記アドレス電極の導体層の厚みを、前記XおよびY電極の導体層と同じ素材から成る導体層の厚みに対して半分以下に薄くしたことを特徴とするプラズマディスプレイ装置。

【0098】

(付記42) 付記40に記載のプラズマディスプレイ装置において、該プラズマディスプレイ装置は、

前記アドレス電極を第1の基板に配設すると共に、XおよびY電極を第2の基板に配設した三電極面放電交流駆動型プラズマディスプレイ装置であり、

前記アドレス電極の導体層を複数の金属層で構成し、該金属層における任意の導体層を排除するようにしたことを特徴とするプラズマディスプレイ装置。

【0099】

(付記43) 出力端子に接続されたインダクタンス性負荷を駆動素子により駆動するインダクタンス性負荷駆動回路であって、

前記出力端子に対して抵抗性インピーダンスを直列に挿入したことを特徴とするインダクタンス性負荷駆動回路。

(付記44) 付記43に記載のインダクタンス性負荷駆動回路において、

前記抵抗性インピーダンスは、前記駆動素子の少なくとも1つの導通時インピーダンスの抵抗成分に対して1/10以上のインピーダンスを持つことを特徴とするインダクタンス性負荷駆動回路。

【0100】

【発明の効果】

以上、詳述したように、本発明によれば、容量性負荷を駆動する回路における発熱(電力消費)を分散することのできる容量性負荷駆動回路およびそれを用いたプラズマディスプレイ装置を提供することができる。

【図面の簡単な説明】

【図1】

プラズマディスプレイ装置の全体構成を概略的に示すブロック図である。

【図2】

従来のプラズマディスプレイ装置の駆動回路の一例を示すブロック図である。

【図3】

本発明に係る容量性負荷駆動回路の原理構成を説明するためのブロック図である。

【図4】

本発明に係る容量性負荷駆動回路の第1実施例を示すブロック図である。

【図5】

本発明に係る容量性負荷駆動回路の第2実施例を示すブロック図である。

【図6】

図5に示す容量性負荷駆動回路における定電流源の一例を示す回路図である。

【図7】

本発明に係る容量性負荷駆動回路の第3実施例を示すブロック図である。

【図8】

図7に示す第3実施例における駆動電源の動作を説明するための図である。

【図9】

本発明に係る容量性負荷駆動回路の第4実施例を示すブロック図である。

【図10】

本発明に係る容量性負荷駆動回路の第5実施例を示すブロック図である。

【図11】

本発明に係る容量性負荷駆動回路の第6実施例を示すブロック図である。

【図12】

本発明に係る容量性負荷駆動回路の第7実施例を示すブロック図である。

【図13】

本発明に係る容量性負荷駆動回路の第8実施例を示すブロック図である。

【図14】

本発明に係る容量性負荷駆動回路の第9実施例としてのトーテンポール型アドレスドライブI Cの回路図である。

【図15】

本発明に係る容量性負荷駆動回路の第10実施例としてのCMOS型アドレス

ドライブICの回路図である。

【図16】

本発明に係る容量性負荷駆動回路の第11実施例を示すブロック回路図である

【図17】

本発明に係る容量性負荷駆動回路の第12実施例としての駆動モジュールを構成する集積回路の一例を示すブロック回路図である。

【図18】

本発明に係る容量性負荷駆動回路の第13実施例としての駆動モジュールを構成する集積回路の他の例を示すブロック回路図である。

【図19】

本発明に係る容量性負荷駆動回路の第14実施例としての駆動モジュールを構成する集積回路のさらに他の例を示すブロック回路図である。

【図20】

三電極面放電交流駆動型プラズマディスプレイパネルを概略的に示すブロック図である。

【図21】

図20に示すプラズマディスプレイパネルの電極構造を説明するための断面図である。

【図22】

図20に示すプラズマディスプレイパネルを用いたプラズマディスプレイ装置の全体構成を示すブロック図である。

【図23】

図22に示すプラズマディスプレイ装置の駆動波形の一例を示す図である。

【図24】

図22に示すプラズマディスプレイ装置に使用するICの一例を示すブロック回路図である。

【図25】

本発明に係る容量性負荷駆動回路の第15実施例を示すブロック図である。

【図26】

本発明に係る容量性負荷駆動回路の第16実施例を示すブロック図である。

【図27】

本発明に係る容量性負荷駆動回路の第17実施例としてのCMOS型アドレスドライブICの回路図である。

【図28】

本発明に係る容量性負荷駆動回路が適用されるプラズマディスプレイパネルにおけるアドレス電極の断面を示す図である。

【図29】

本発明に係る容量性負荷駆動回路の第18実施例を示すブロック図である。

【符号の説明】

- 1 …駆動電源
- 2, 21, 22, 23, 24, 25, 26, 27, 121, 131, 132, 1
- 4 1 …電力分散手段
- 3 …駆動回路
- 4 …基準電位点
- 5 …負荷容量
- 6, 7 …駆動素子
- 8 …駆動回路の電源端子
- 9 …駆動回路の基準電位端子
- 10 …駆動回路の出力端子
- 15 …駆動電源制御回路
- 3 6 …駆動モジュール
- 3 7 (3 8, 3 9) …駆動集積回路
- 101 …プラズマディスプレイパネル
- 102 …アノード(アドレス)駆動回路
- 103 …カソード(Y)駆動回路
- 104 …サブアノード駆動回路
- 105 …制御回路

106…X駆動回路

107, 207…放電セル

110…電力回收回路

120…アドレスドライブIC

122…アドレスドライブIC内出力回路

121…アドレスドライブIC電源端子

210…背面ガラス基板

211, 221…誘電体層

212…蛍光体

213…隔壁

214…アドレス電極

220…前面ガラス基板

222…X電極またはY電極

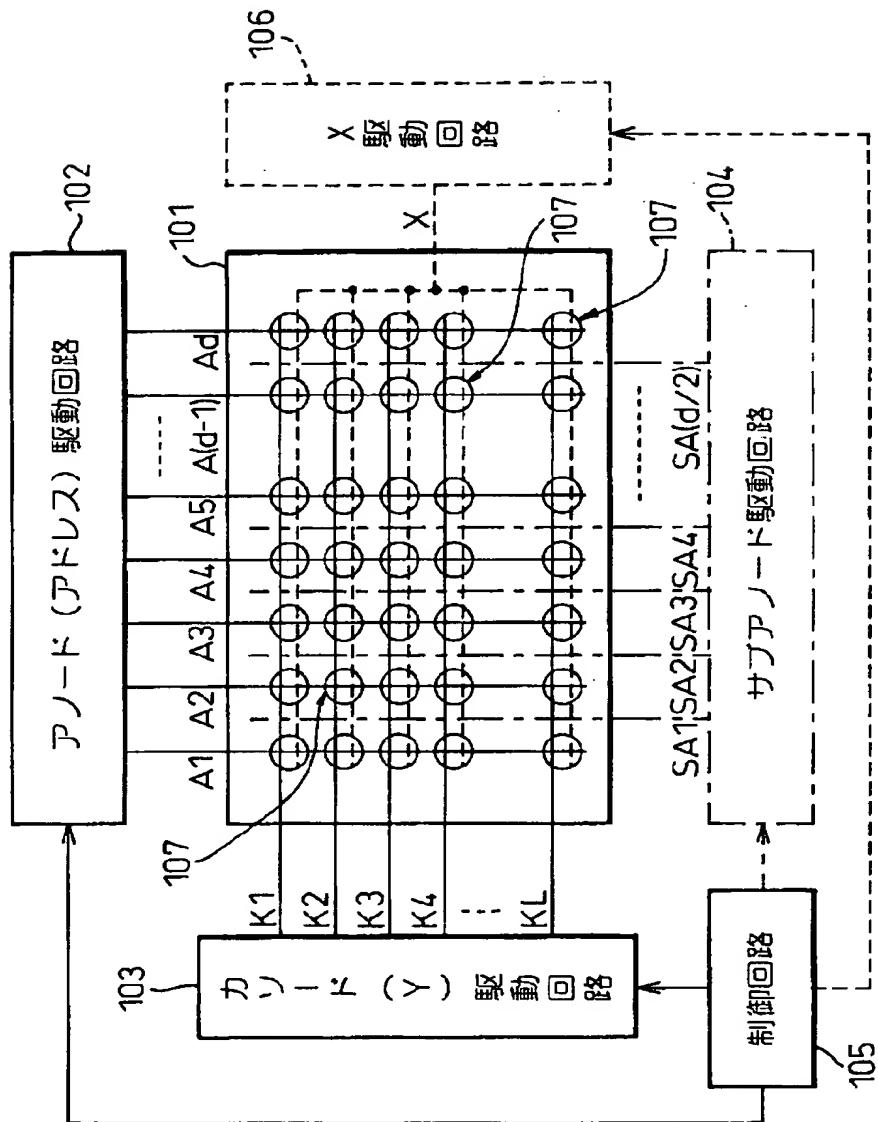
【書類名】

図面

【図1】

図 1

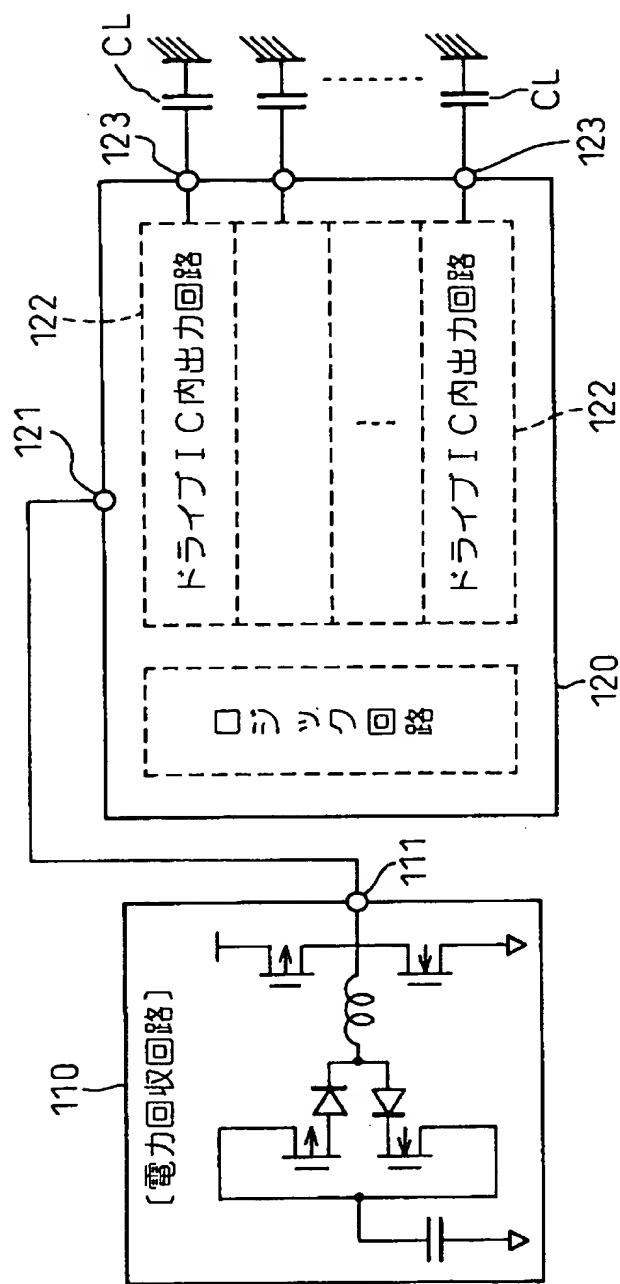
プラスマディスプレイ装置の全体構成を概略的に示すブロック図



【図2】

図2

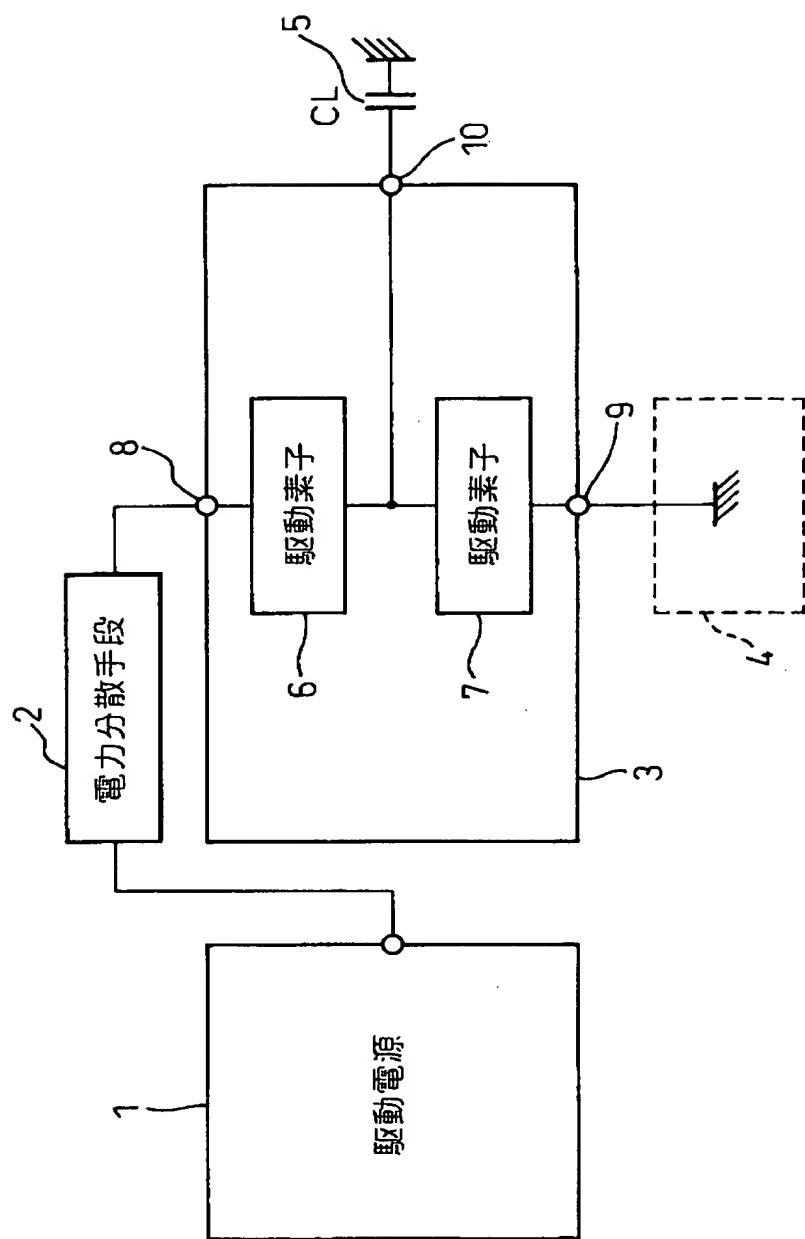
従来のプラズマディスプレイ装置の駆動回路の一例を示すブロック図



【図3】

図 3

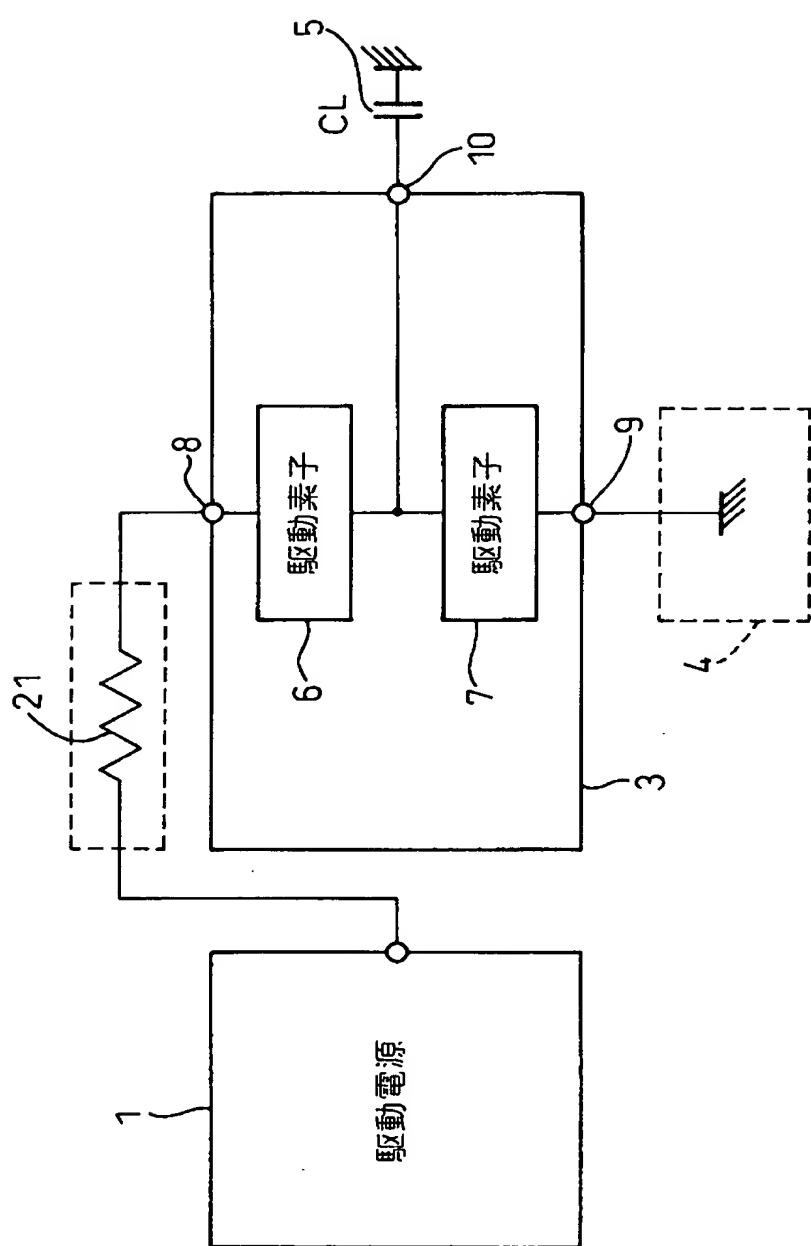
本発明に係る容量性負荷駆動回路の原理構成を
説明するためのブロック図



【図4】

図4

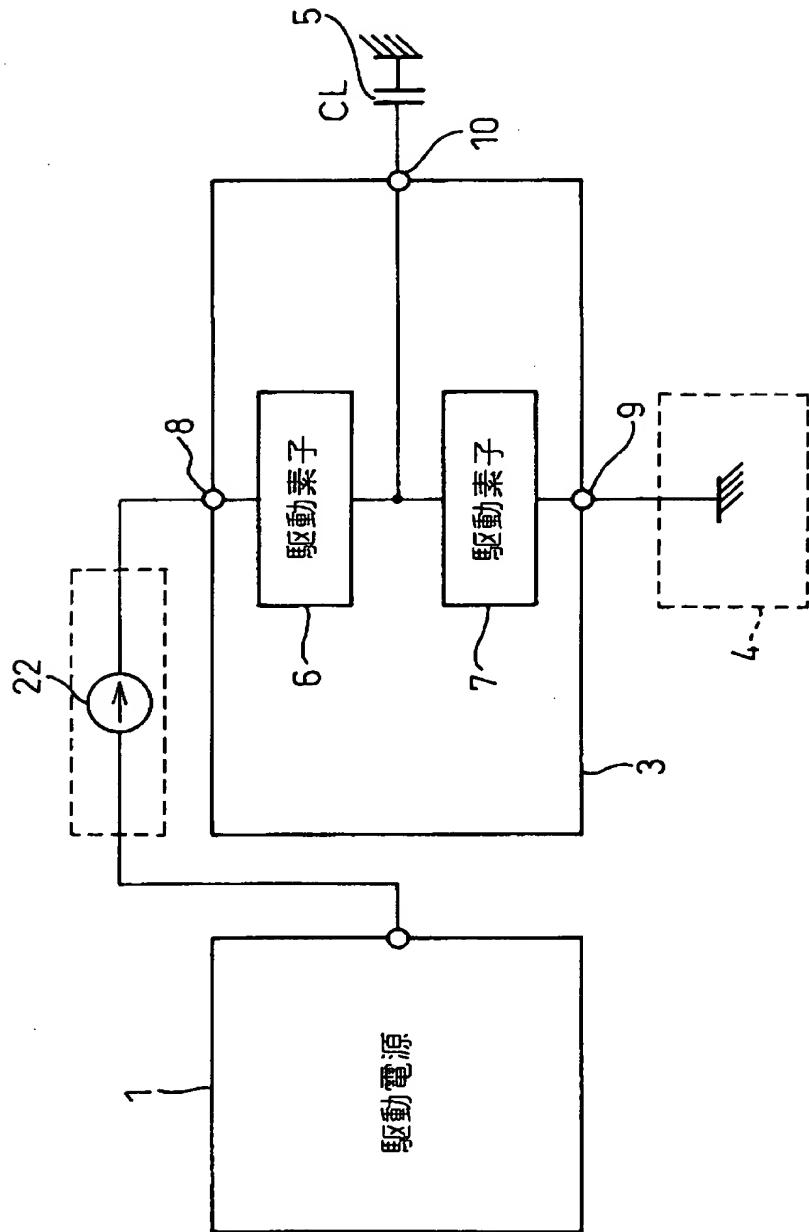
本発明に係る容量性負荷駆動回路の第1実施例を示すブロック図



【図5】

図 5

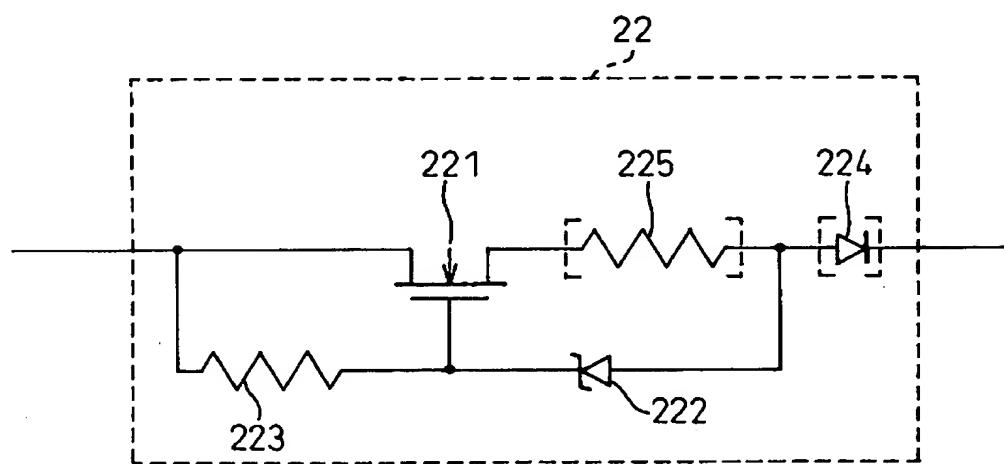
本発明に係る容量性負荷駆動回路の第2実施例を示すブロック図



【図6】

図 6

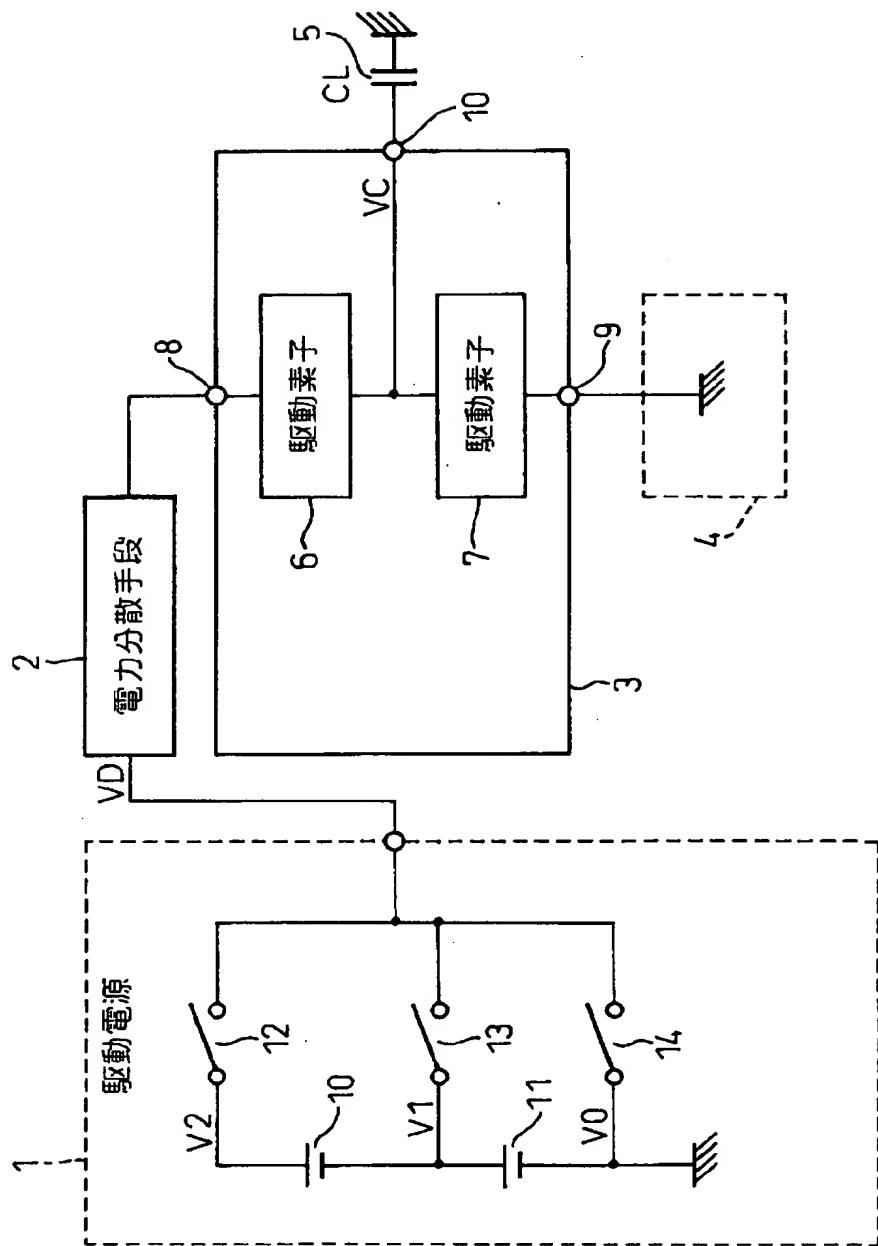
図5に示す容量性負荷駆動回路における定電流源の一例を示す回路図



【図7】

図7

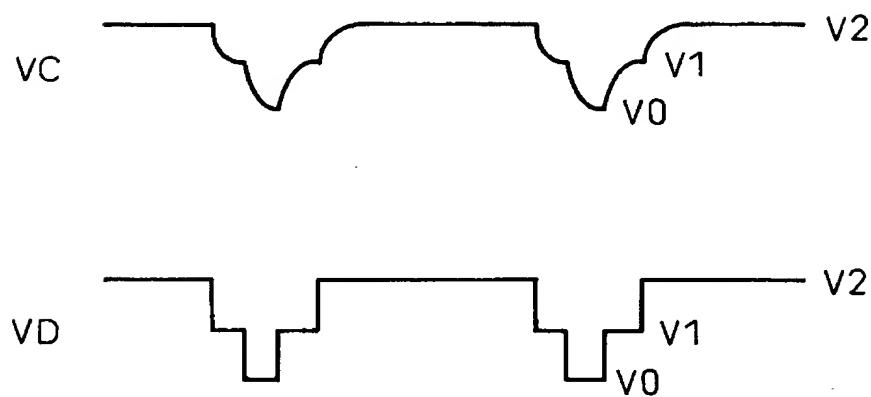
本発明に係る容量性負荷駆動回路の第3実施例を示すブロック図



【図8】

図 8

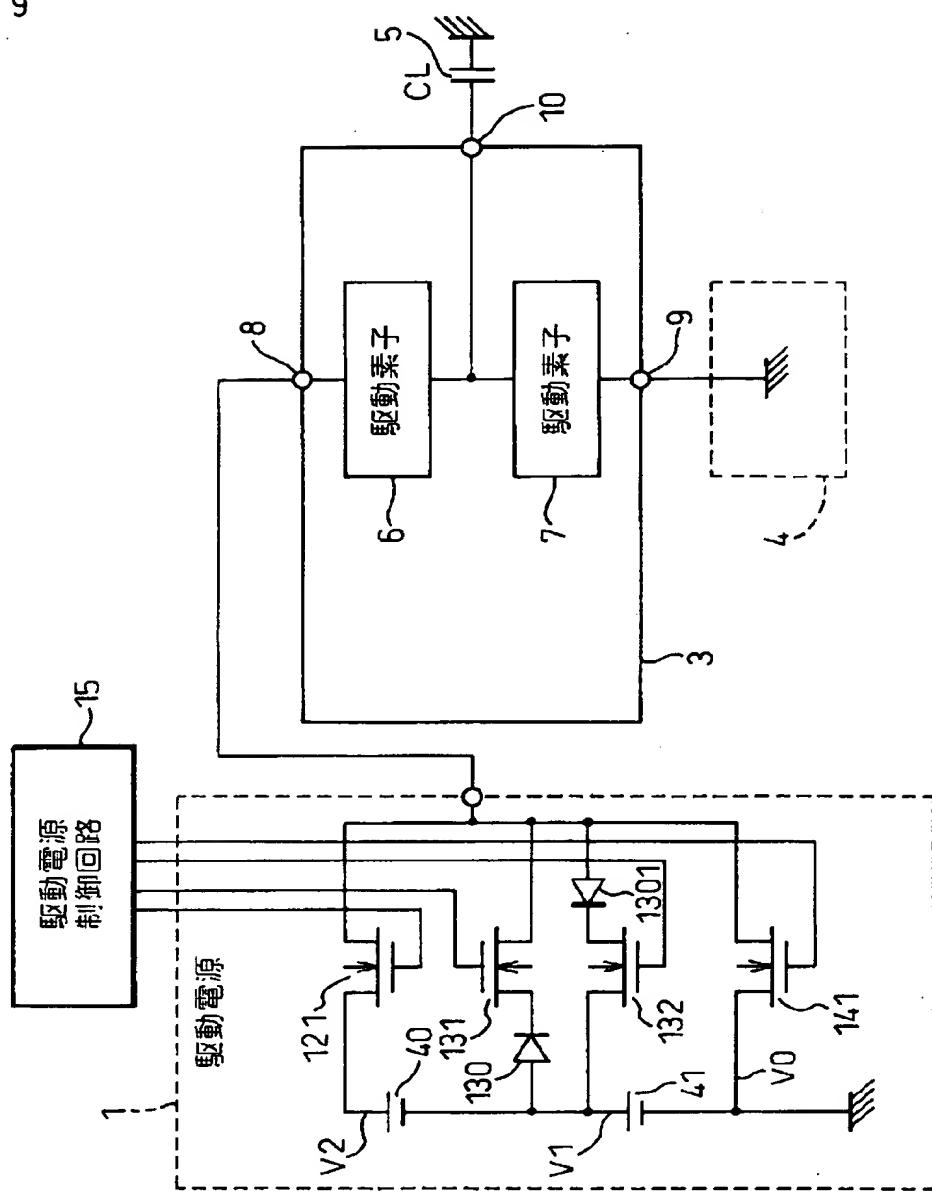
図7に示す第3実施例における駆動電源の動作を説明するための図



【図9】

図 9

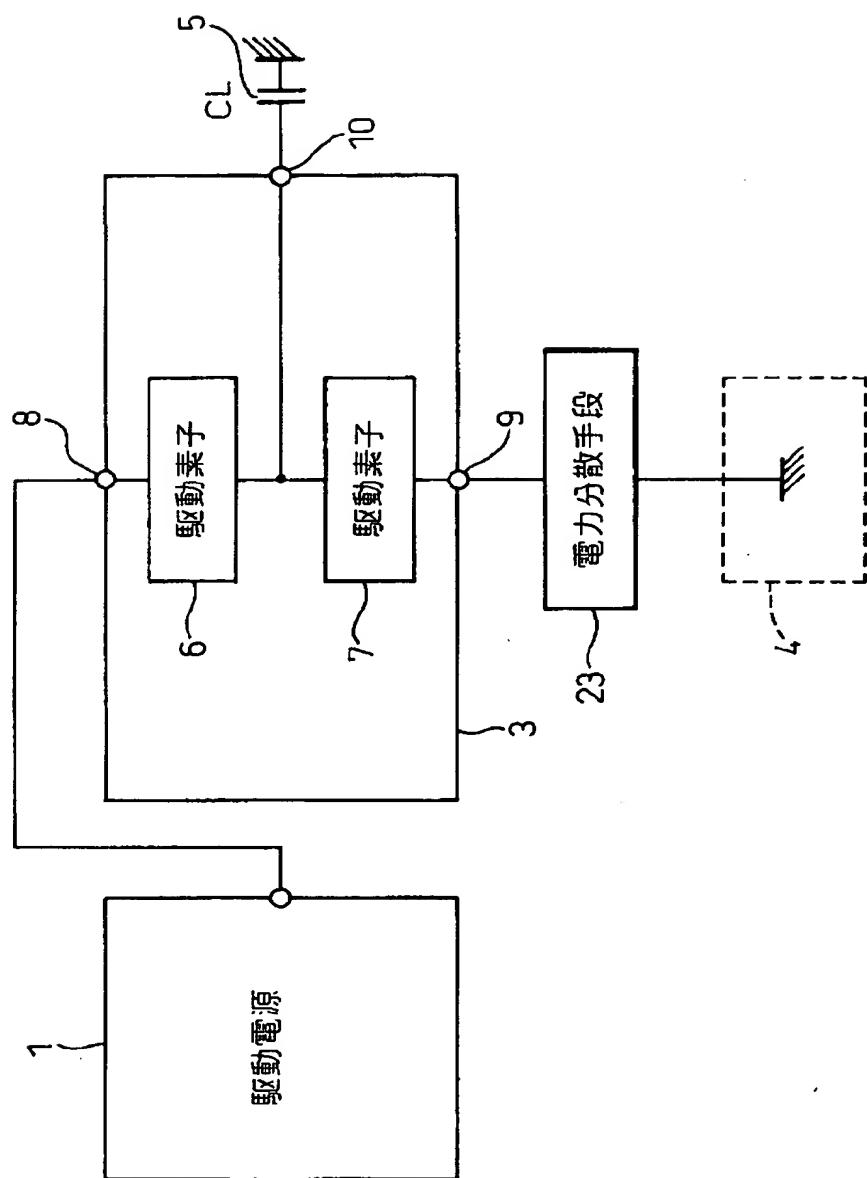
本発明に係る容量性負荷駆動回路の第4実施例を示すブロック図



【図10】

図10

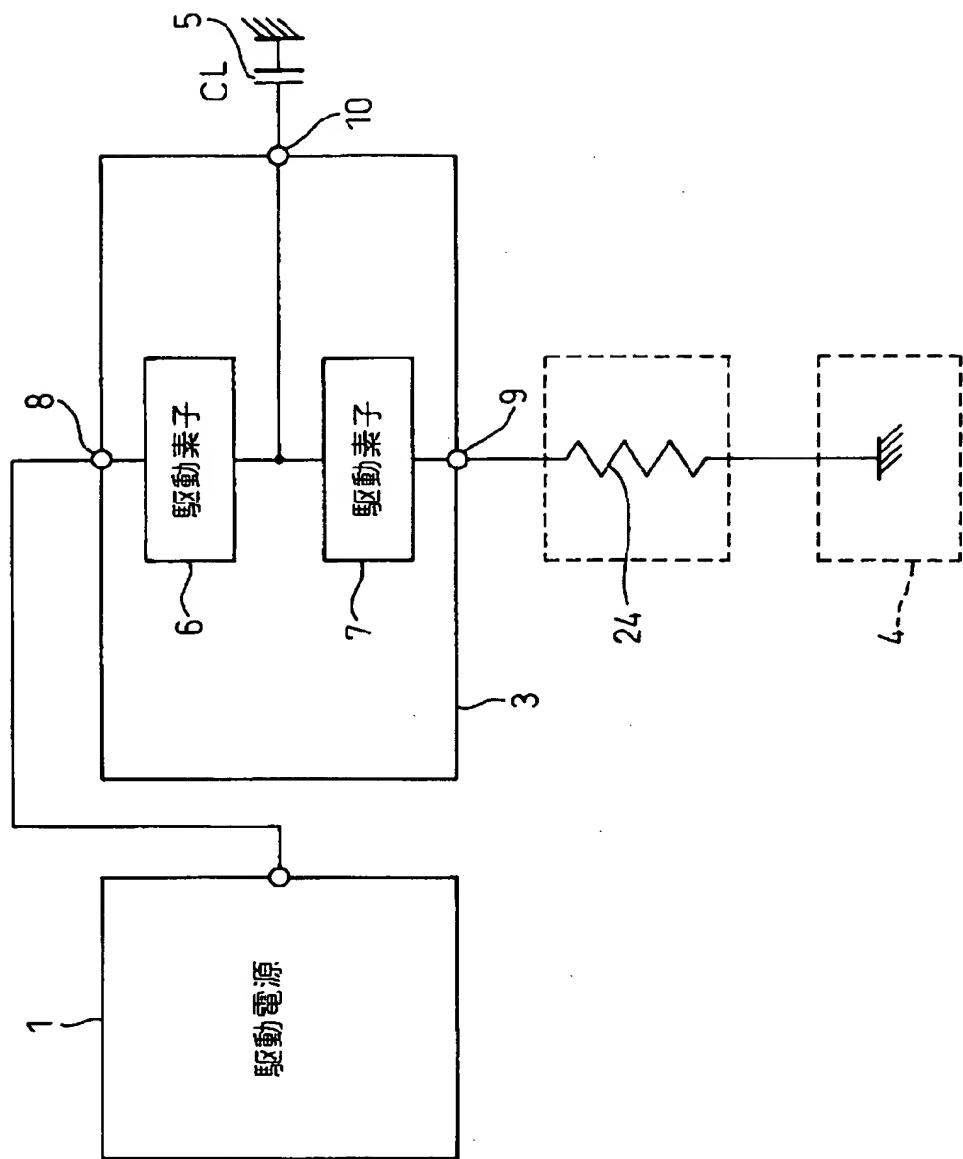
本発明に係る容量性負荷駆動回路の第5実施例を示すブロック図



【図11】

図11

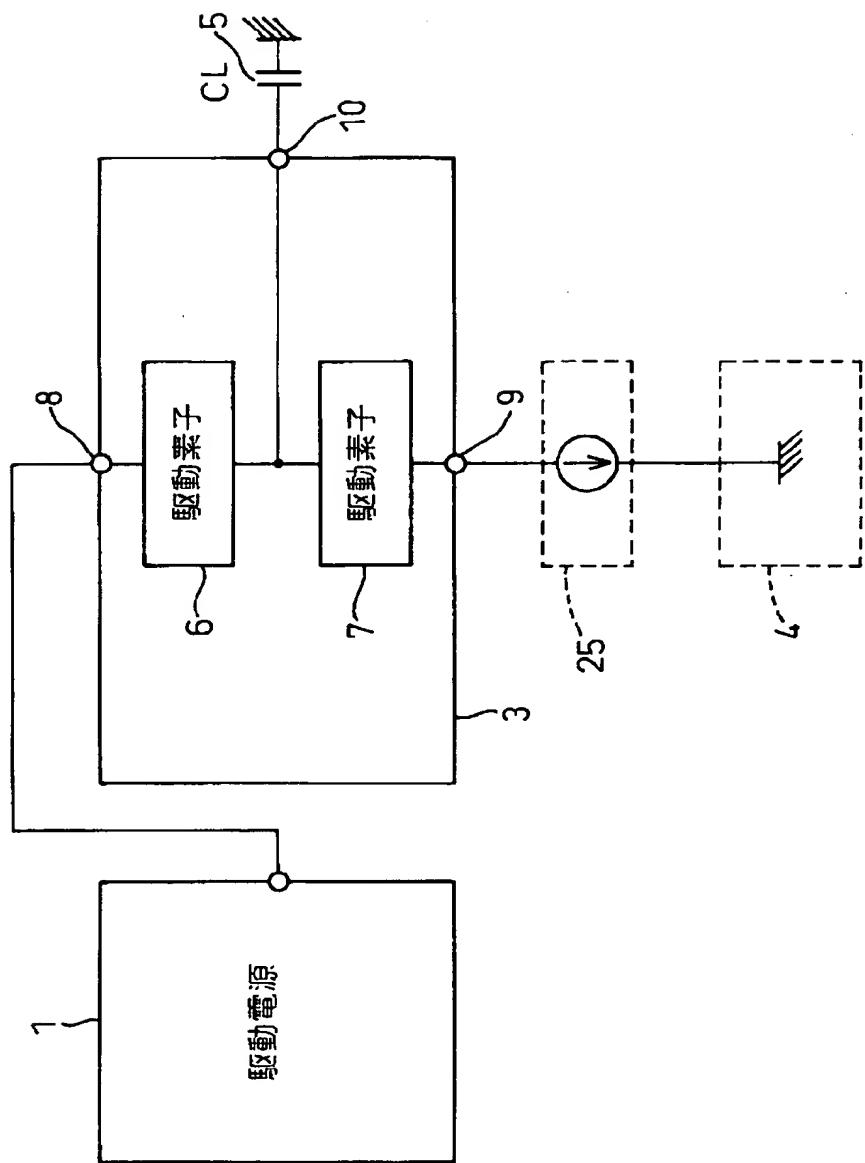
本発明に係る容量性負荷駆動回路の第6実施例を示すブロック図



【図12】

図12

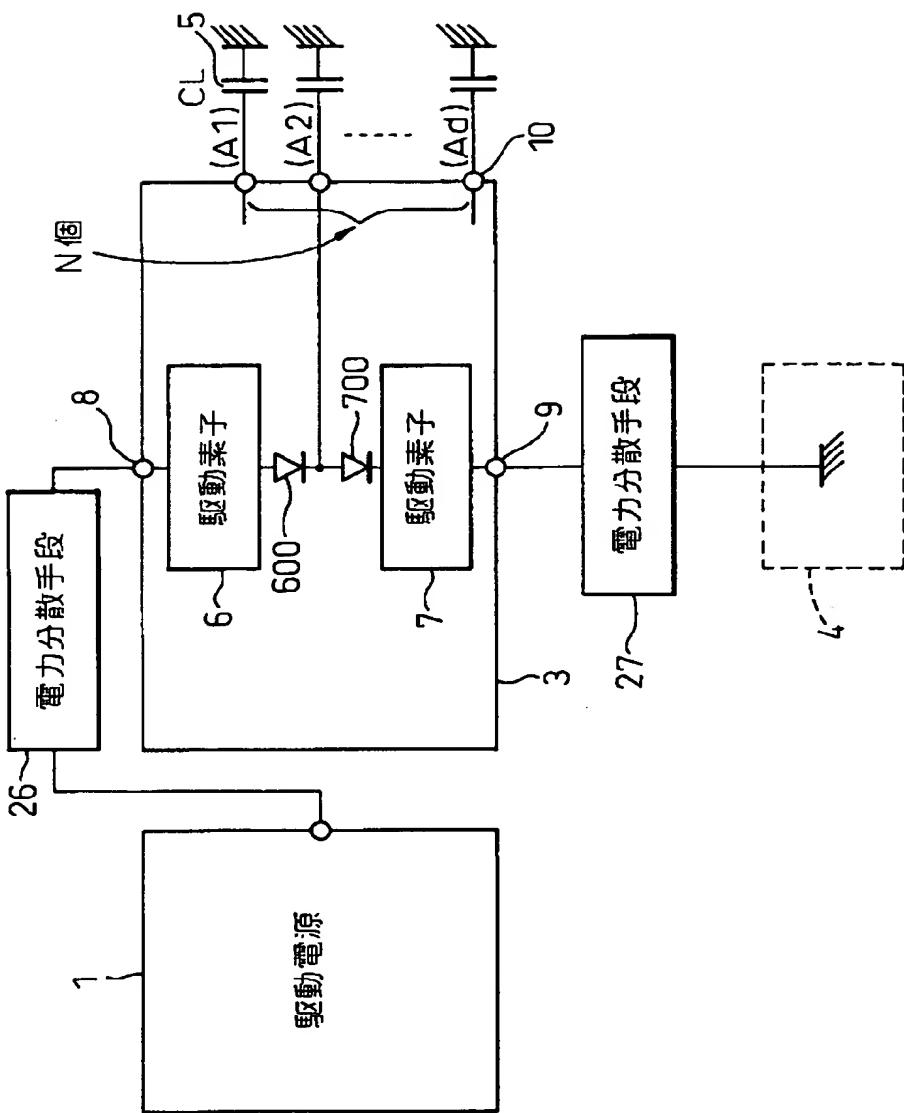
本発明に係る容量性負荷駆動回路の第7実施例を示すブロック図



【図13】

図13

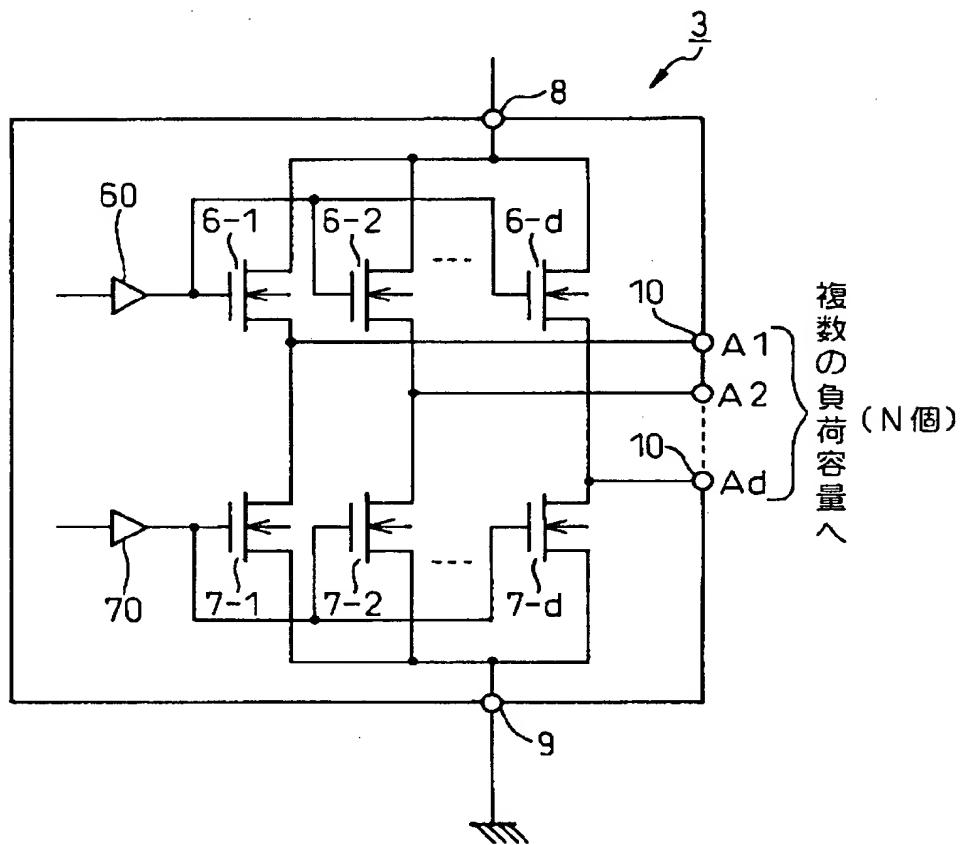
本発明に係る容量性負荷駆動回路の第8実施例を示すブロック図



【図14】

図14

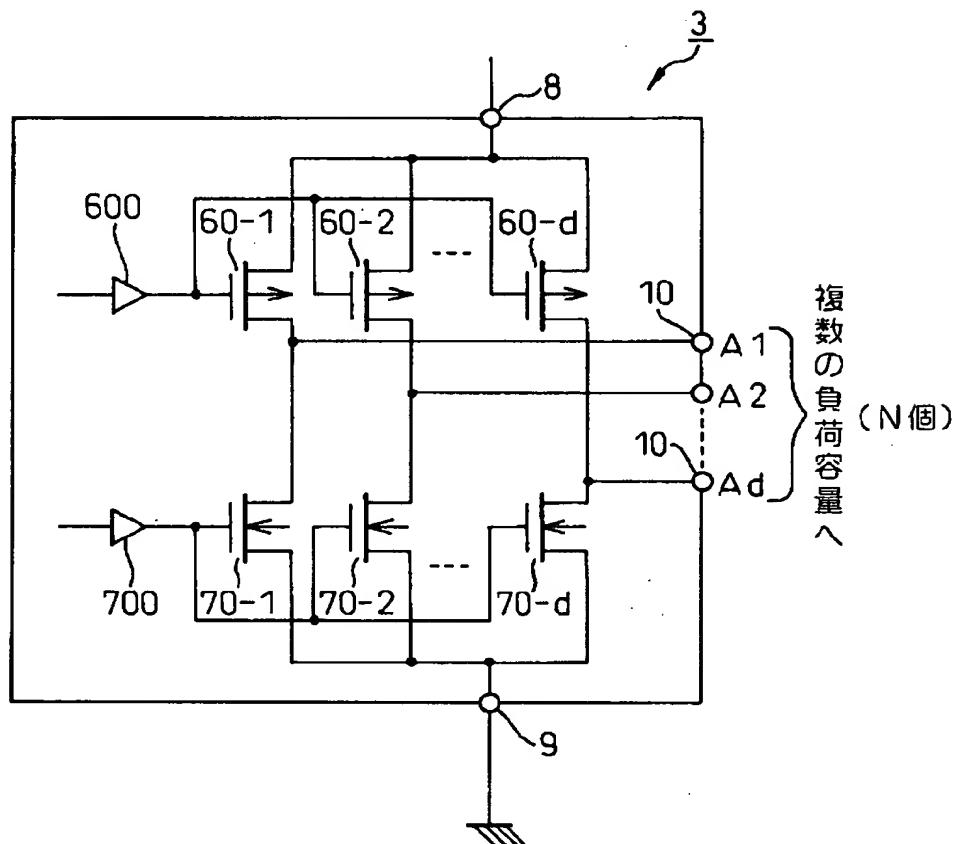
本発明に係る容量性負荷駆動回路の第9実施例としての
トーテンポール型アドレスドライブICの回路図



【図15】

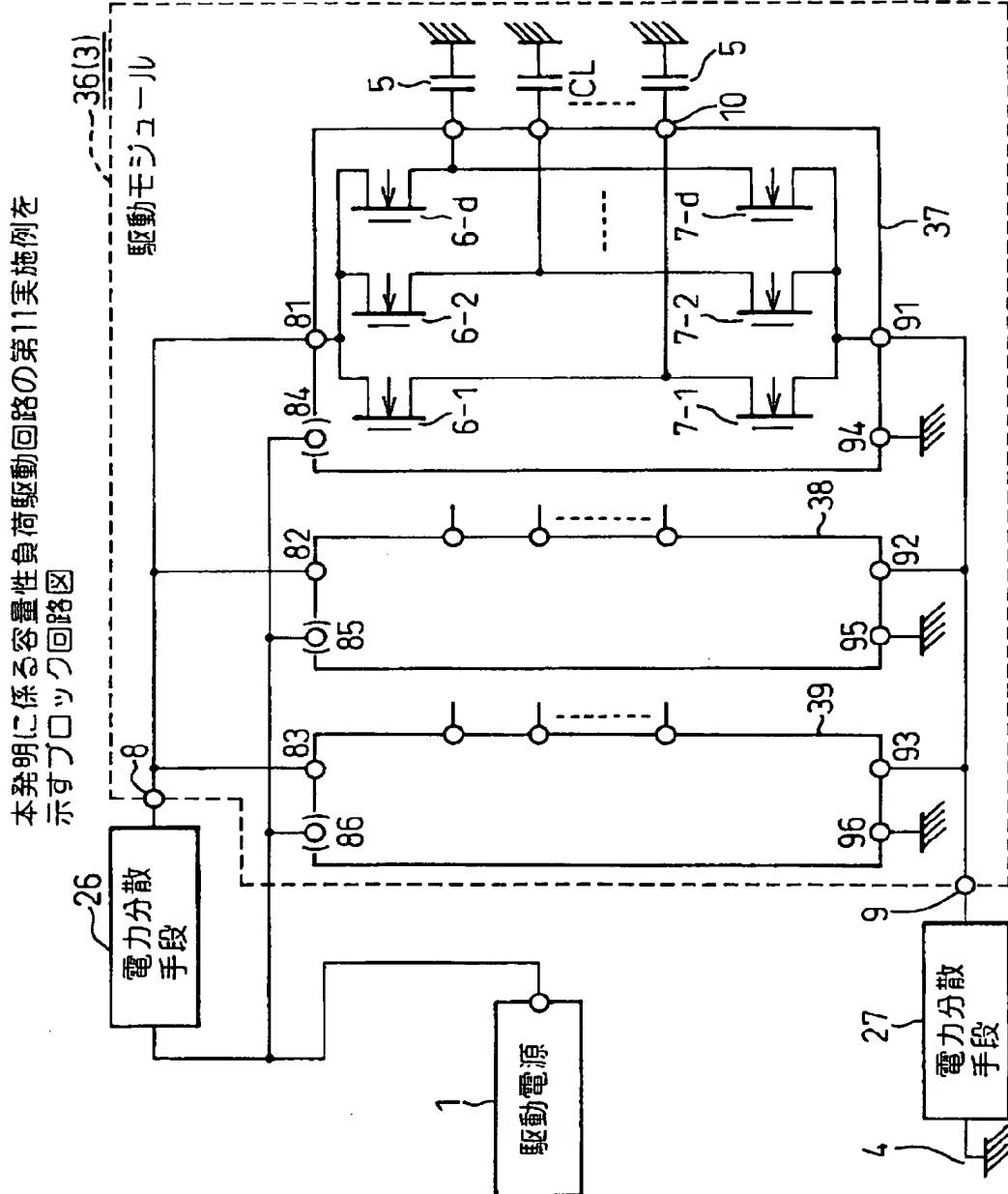
図15

本発明に係る容量性負荷駆動回路の第10実施例としての
CMOS型アドレスドライブICの回路図



【図16】

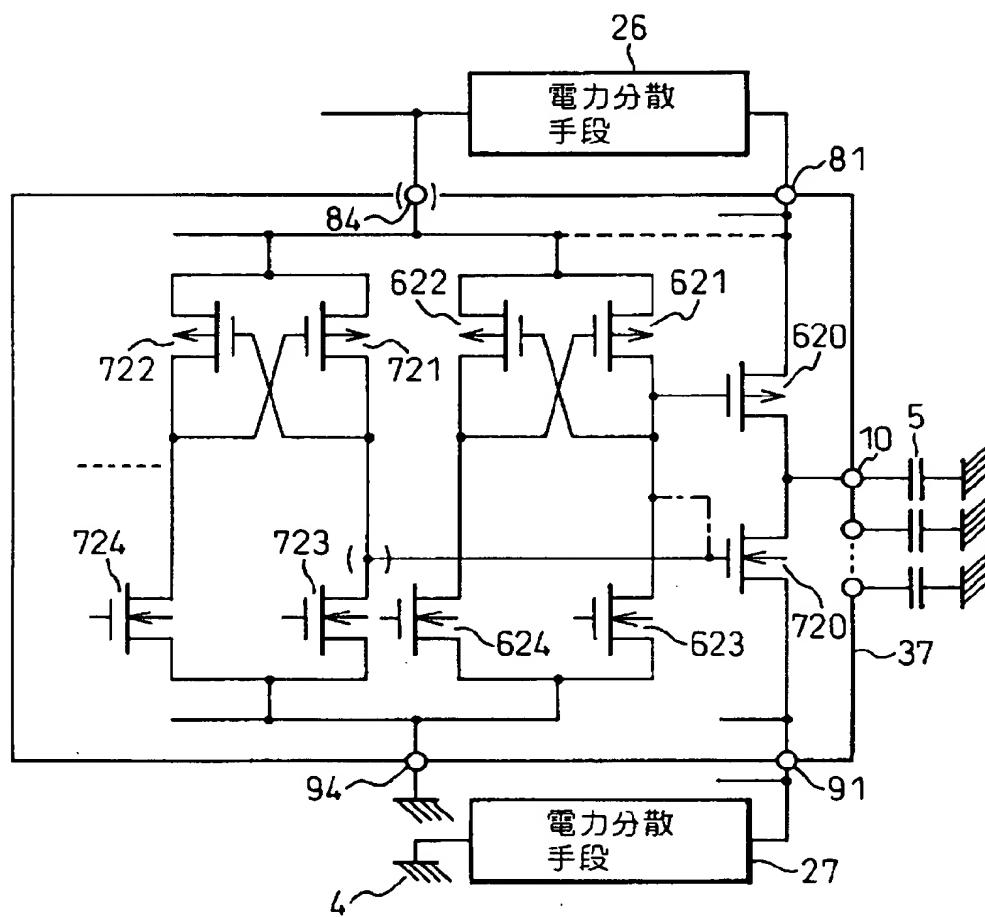
図16



【図17】

図17

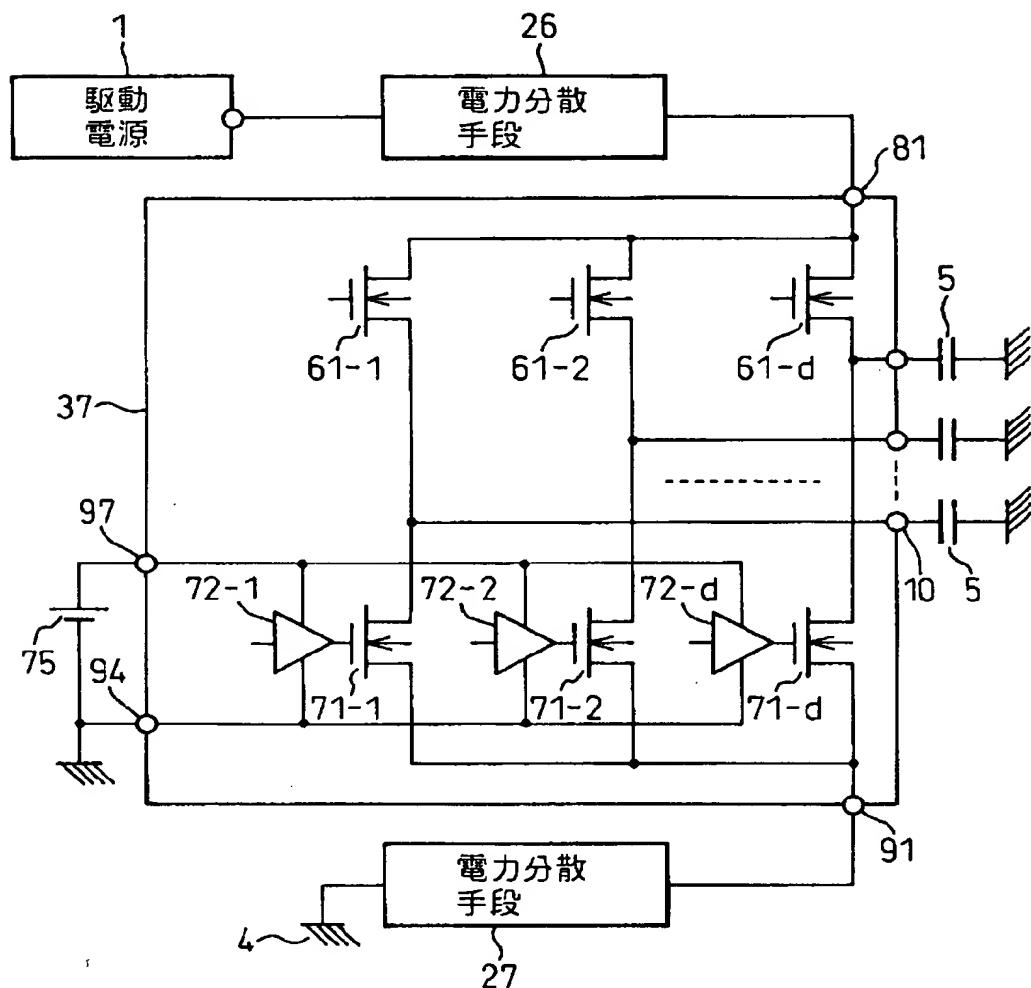
本発明に係る容量性負荷駆動回路の第12実施例としての駆動モジュールを構成する集積回路の一例を示すブロック回路図



【図18】

図18

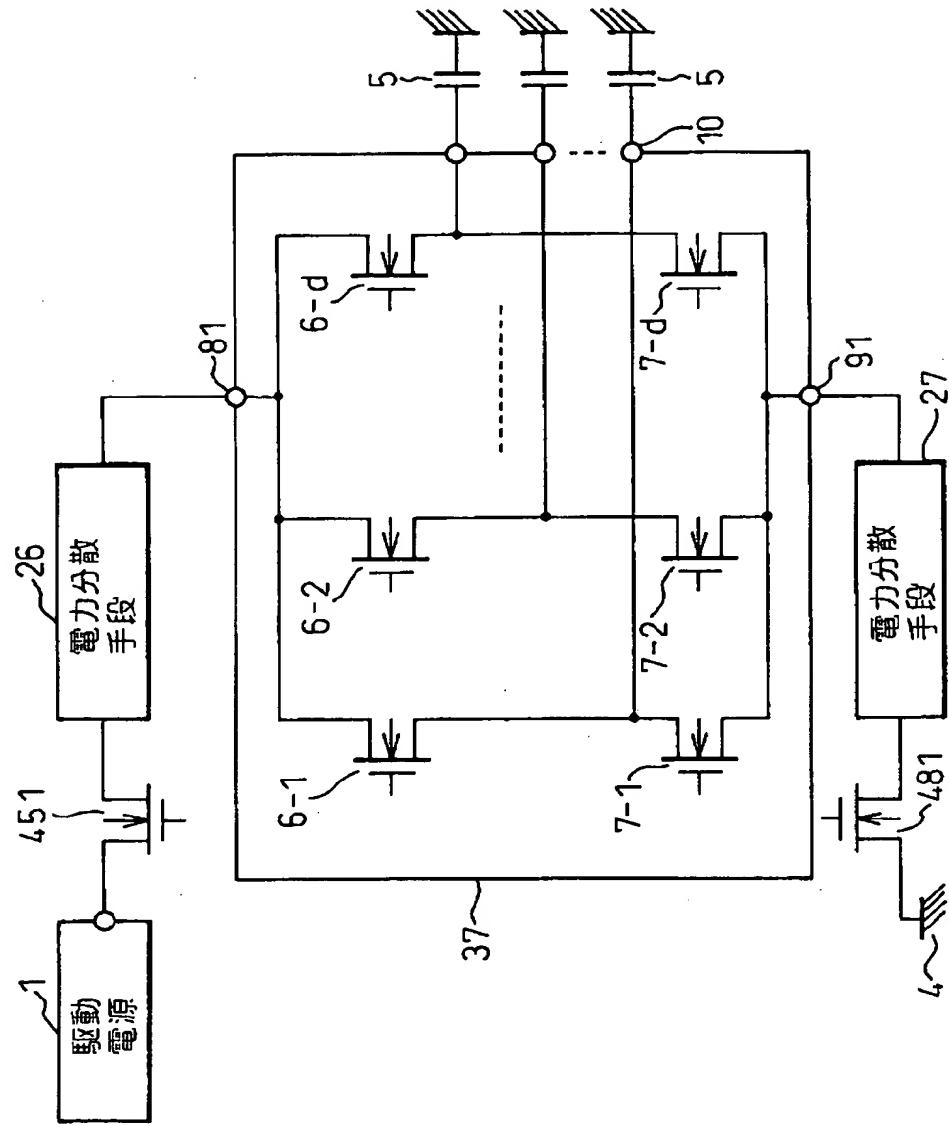
本発明に係る容量性負荷駆動回路の第13実施例としての
駆動モジュールを構成する集積回路の他の例を示す
ブロック回路図



【図19】

図19

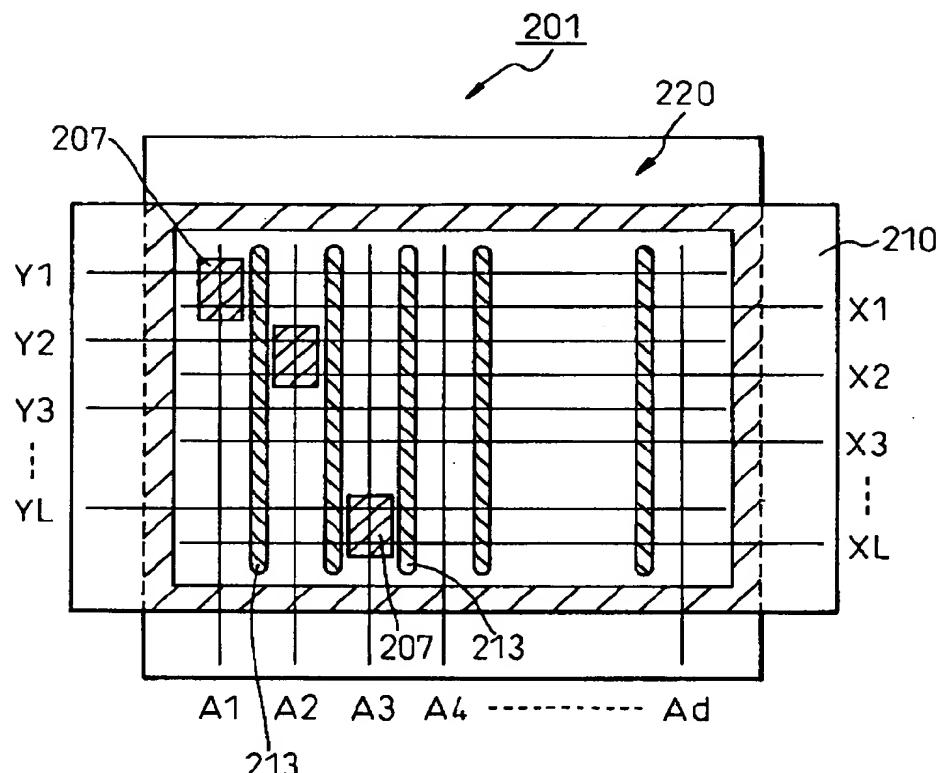
本発明に係る容量性負荷駆動回路の第14実施例としての駆動モジュールを構成する集積回路のさらに他の例を示すブロック回路図



【図20】

図20

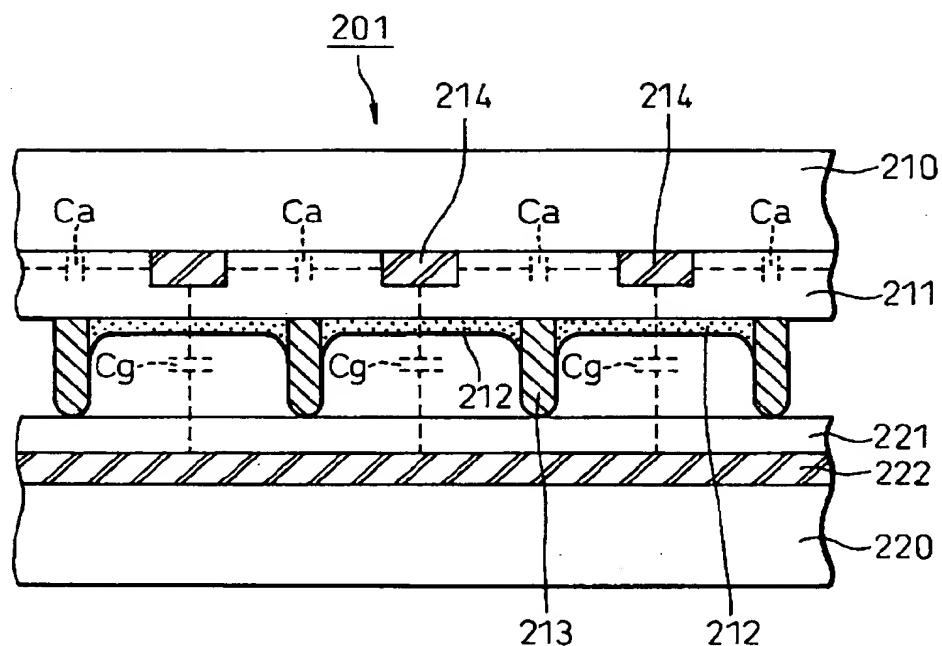
三電極面放電交流駆動型プラズマディスプレイパネルを概略的に示すブロック図



【図21】

図21

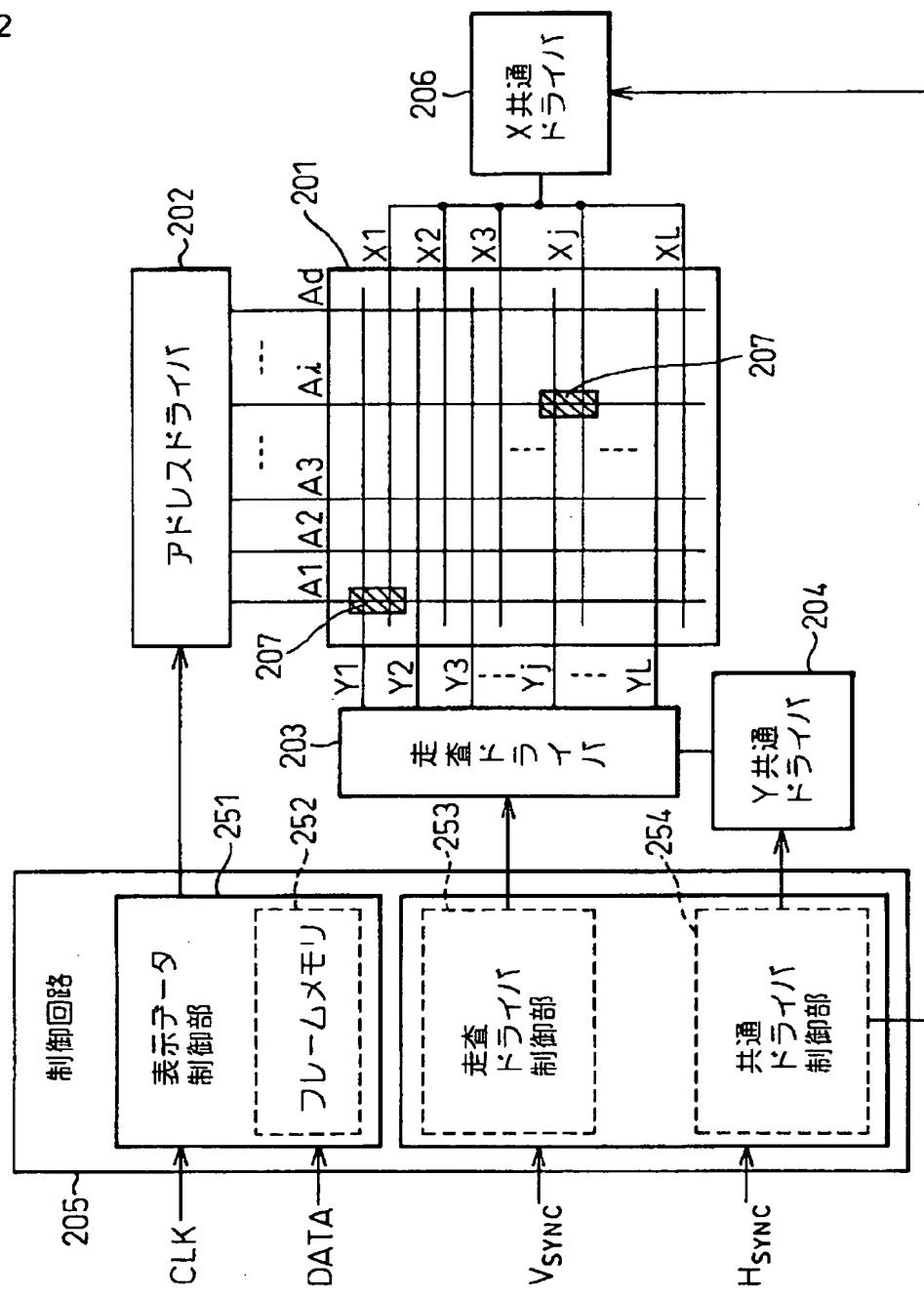
図20に示すプラズマディスプレイパネルの電極構造を
説明するための断面図



【図22】

図22

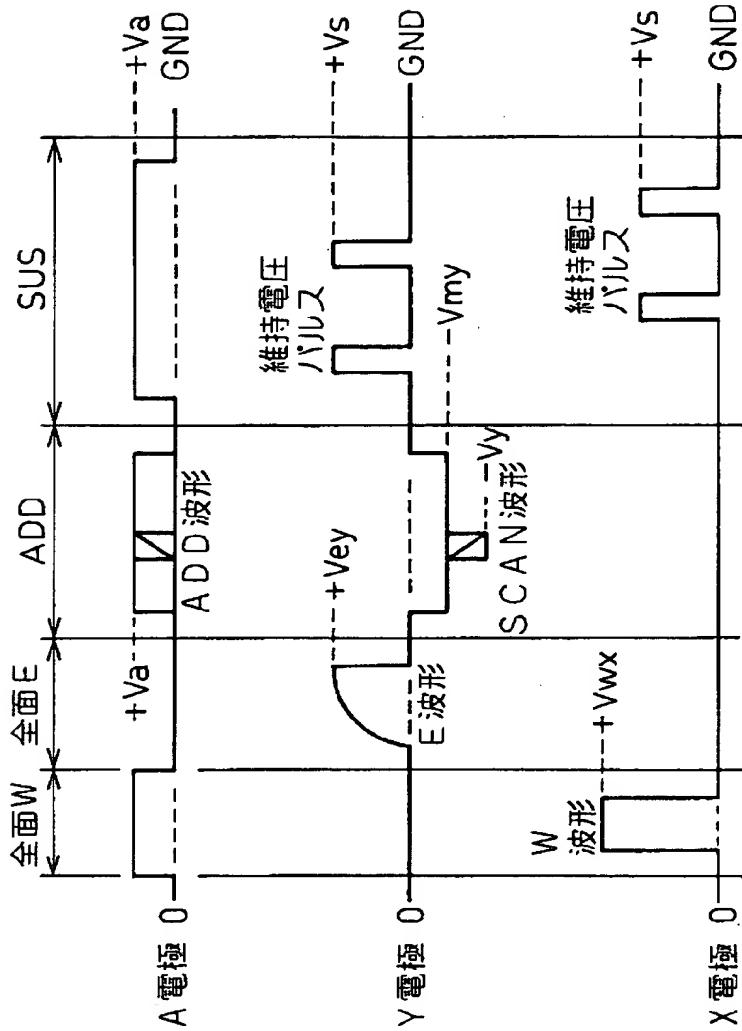
図20に示すプラスマディスプレイパネルを用いたプラズマディスプレイ装置の全体構成を示すブロック図



【図23】

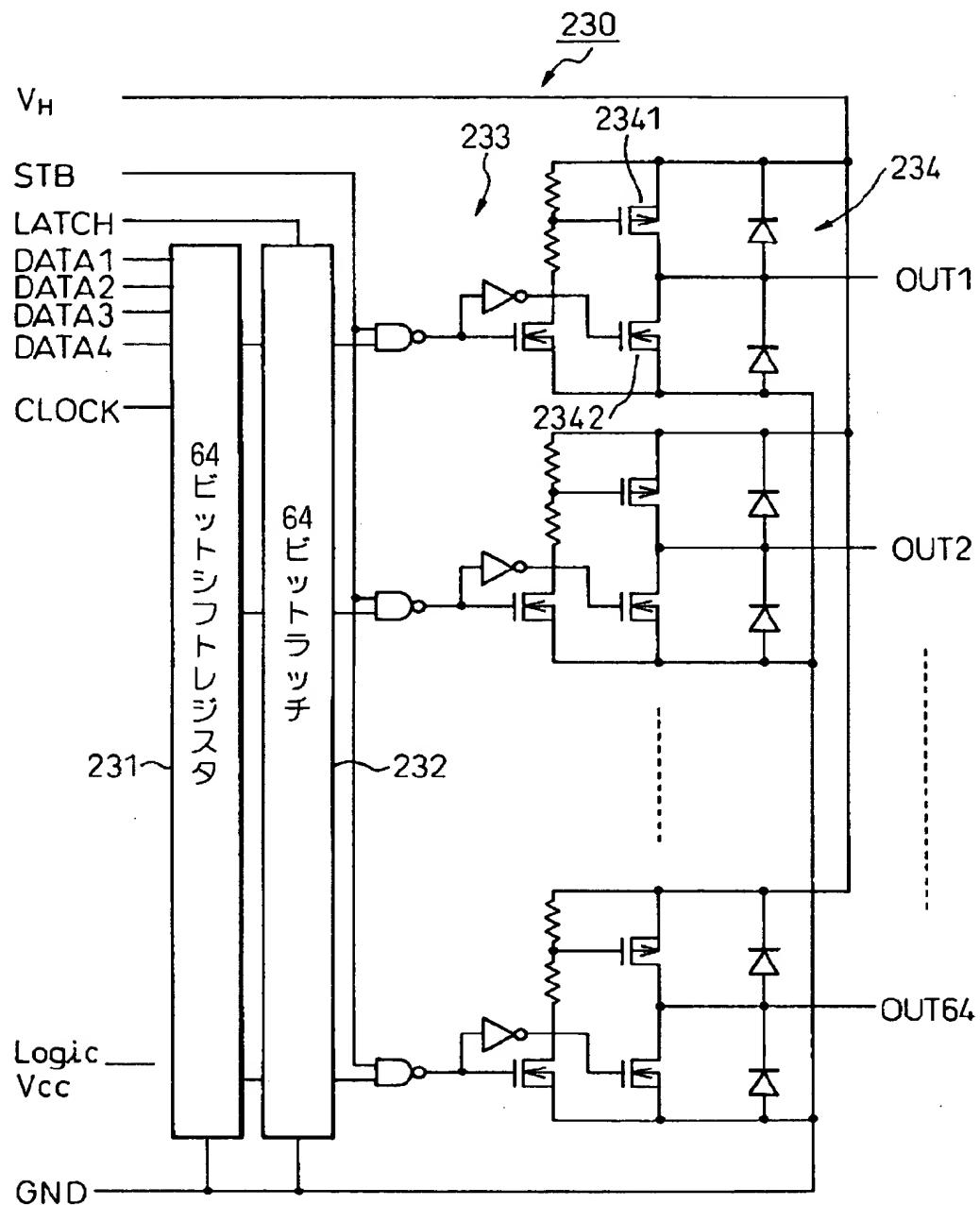
图 23

図22に示すプラスマディスプレイ装置の駆動波形の一例を示す図



【図24】

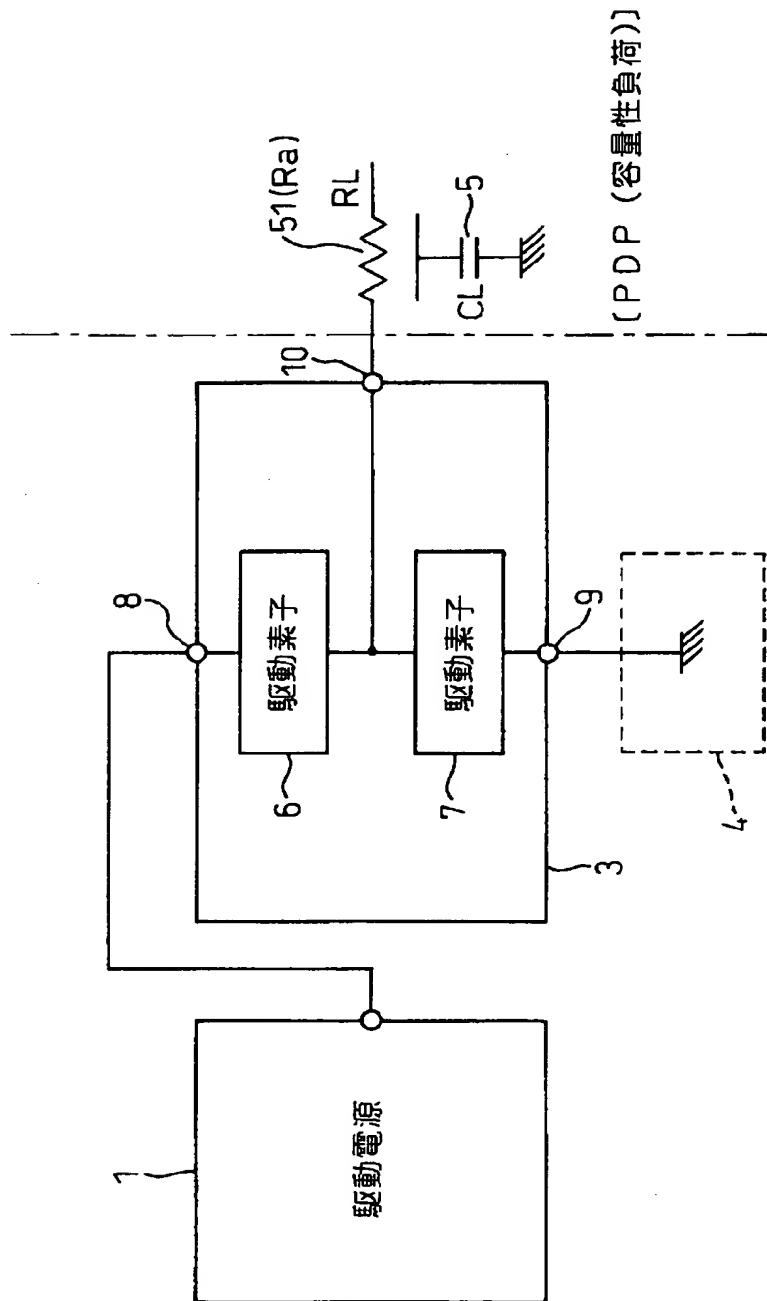
図24 図22に示すプラズマディスプレイ装置に使用するICの一例を示すブロック回路図



【図25】

25

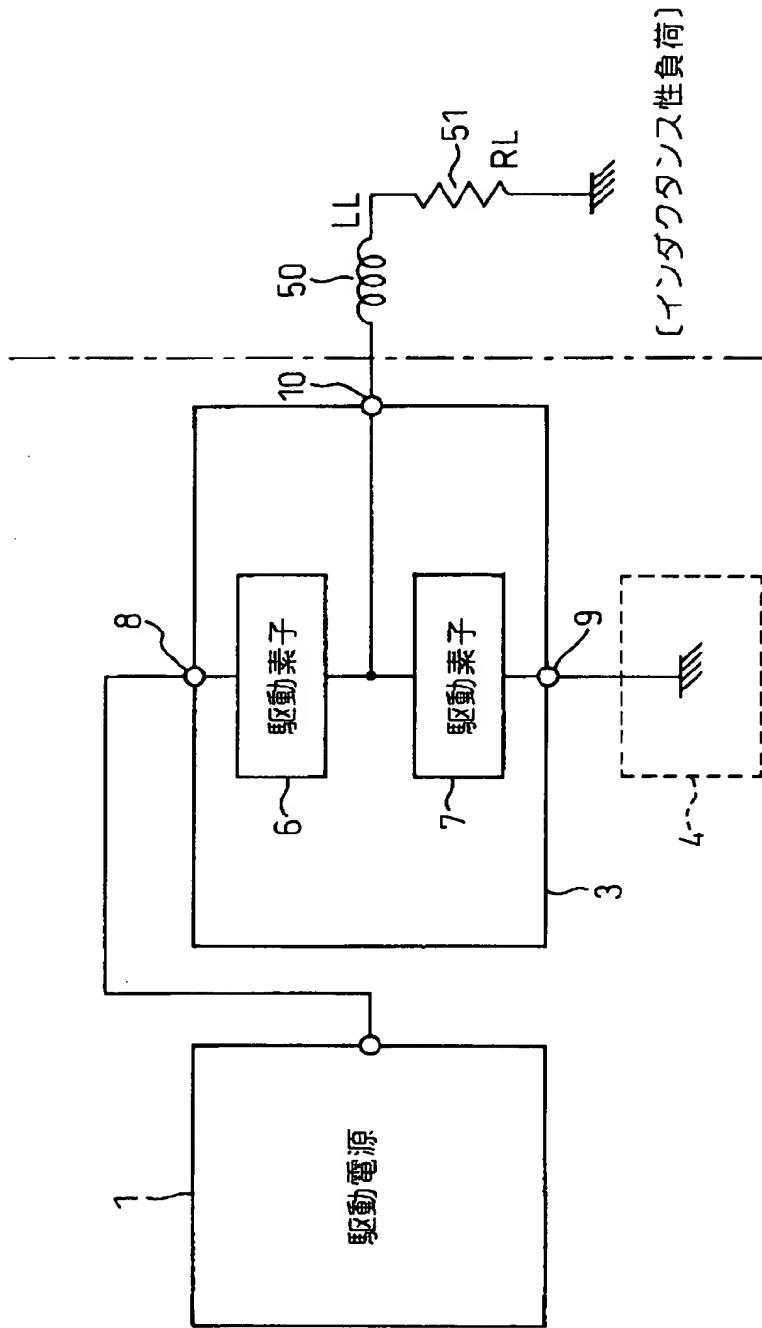
本発明に係る容量性負荷駆動回路の第15実施例を示すブロック図



【図26】

図26

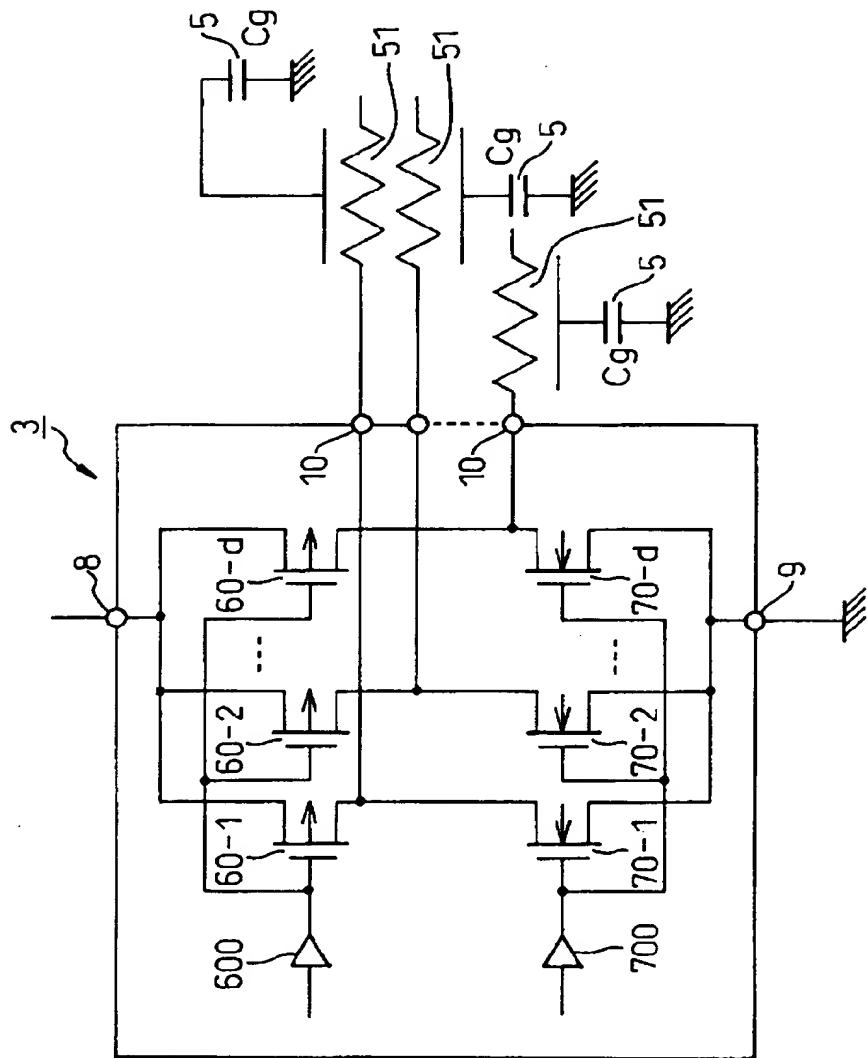
図25に示す容量性負荷駆動回路の変形としてのインダクタンス性負荷駆動回路の一例を示すブロック図



【図27】

図27

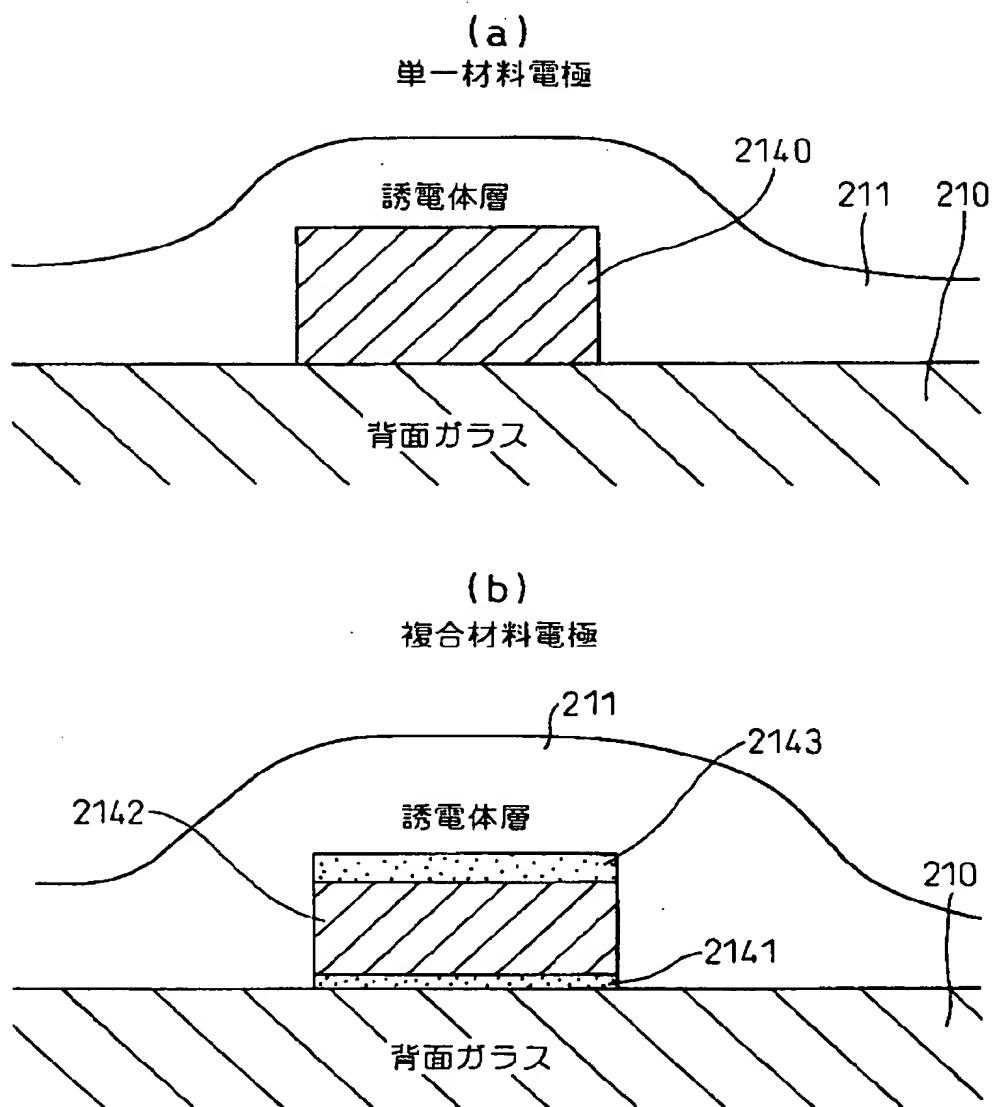
本発明に係る容量性負荷駆動回路の第16実施例としての
CMOS型アドレスドライブICの回路図



【図28】

図28

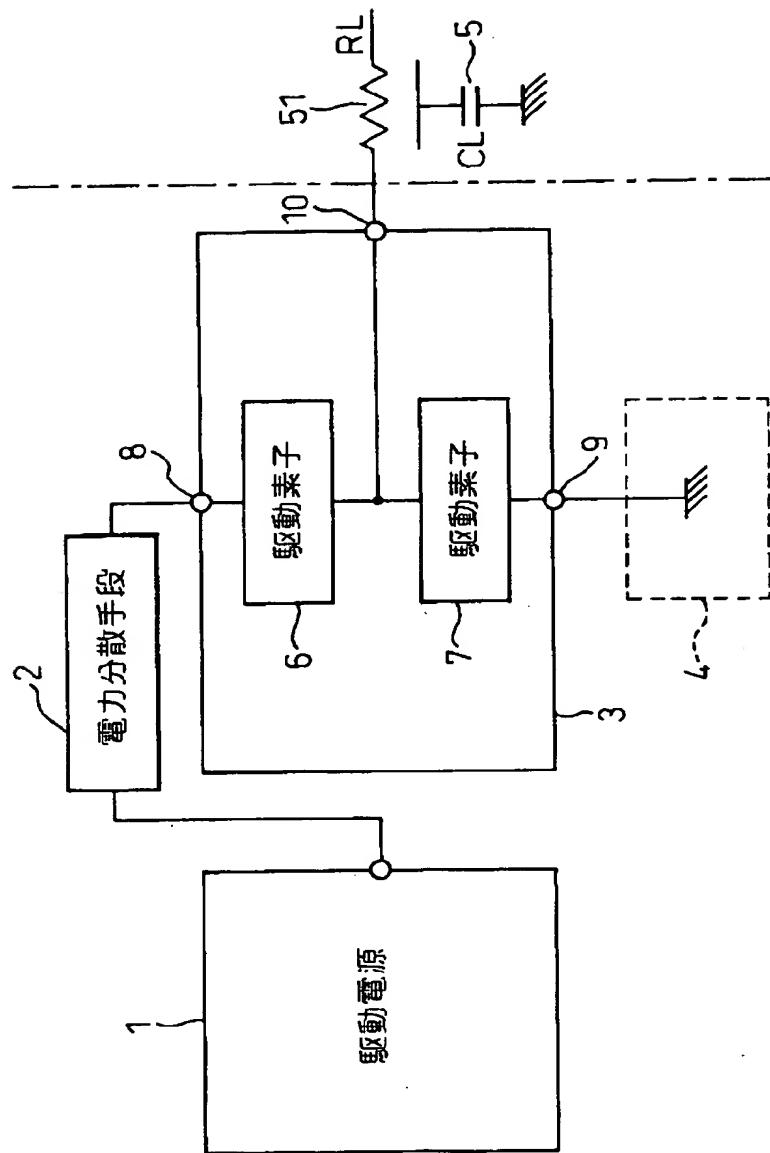
本発明に係る容量性負荷駆動回路が適用されるプラズマディスプレイパネルにおけるアドレス電極の断面を示す図



【図29】

図29

本発明に係る容量性負荷駆動回路の第17実施例を示すブロック図



【書類名】 要約書

【要約】

【課題】 容量性負荷を駆動する回路においては、その負荷容量と駆動周波数の増大に伴ない、従来の低電力化技術を用いたとしても消費電力が増大してしまい、その駆動回路（ドライブ I C）自身からの発熱が大きな問題になっている。本発明の目的は上記の条件においても消費電力の増大を抑えられる容量性負荷駆動回路を提供することである。

【解決手段】 駆動電源 1 を駆動素子 6 を介して出力端子に接続した構成を含む容量性負荷駆動回路 3 であって、前記駆動電源 1 と前記駆動素子 6 との間に電力分散手段 2 を挿入するか、或いは、前記出力端子に対して抵抗性インピーダンスを直列に挿入するように構成する。

【選択図】 図 3

出願人履歴情報

識別番号 [599132708]

1. 変更年月日 1999年 9月17日

[変更理由] 新規登録

住 所 神奈川県川崎市高津区坂戸3丁目2番1号
氏 名 富士通日立プラズマディスプレイ株式会社